

2025년도 반도체 분야 신규지원 대상 연구개발과제 안내문

① 시장선도를위한한국주도형K-Sensor기술개발사업 (시장주도형K-센서기술개발)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	지반침하와 지하매설물 감지용 레이더 센서 및 이동체 탑재형 감지시스템 개발	품목지정	33	731	중소·중견	혁신제품	징수	일반	수요기업 참여필수

② 신시장창출을위한수요연계시스템반도체기술개발

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	드론탐지를 위한 고출력 화합물 반도체와 AI 융합 기반 고해상도 다중 빔 레이다 모듈 개발	품목지정	33	1,500	중소·중견	혁신제품	징수	일반	수요기업 참여필수

③ 산업현장맞춤형온디바이스 AI반도체기술개발

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	sVLM 기반 상황 인지를 통한 제조 자동화 로봇용 온디바이스 AI 반도체 개발 및 실증	품목지정	45	1,370	중소·중견	혁신제품	징수	일반	수요기업 참여필수
2	불량 검출을 위한 실시간 대면적 비전 검사용 온디바이스 AI 반도체 기술개발 및 실증	품목지정	45	1,050	중소·중견	혁신제품	징수	일반	수요기업 참여필수
3	제조생산설비의 로봇 상태감지 및 고장예지를 위한 온디바이스 AI 반도체 개발 및 실증	품목지정	45	1,050	중소·중견	혁신제품	징수	일반	수요기업 참여필수
4	전기화재 예측을 위한 온디바이스 AI 반도체 기술개발 및 실증	품목지정	45	850	중소·중견	혁신제품	징수	일반	수요기업 참여필수

④ 화합물전력반도체고도화기술개발 (상용화소자 및 모듈)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	SIC Transfer Molded 전력모듈 국산화 기반 고속서보드라이브 수요 연계 기술개발	지정공모	45	1,000	영리기관	혁신제품	징수	일반	수요기업 참여필수
2	GaN/SIC 전력모듈 국산화 기반 서버용 초고밀도 전원공급모듈 수요연계 기술개발	지정공모	45	1,000	영리기관	혁신제품	징수	일반	수요기업 참여필수
3	SIC 1200V급 전력모듈 국산화 기반 수전해용 전원공급모듈 수요연계 기술개발	지정공모	45	1,100	영리기관	혁신제품	징수	일반	수요기업 참여필수
4	양면방열 SIC 전력모듈 국산화 기반 250kW급 EV 인버터 수요연계 기술 개발	지정공모	45	1,200	영리기관	혁신제품	징수	일반	수요기업 참여필수
5	50kW급 SIC 전력모듈 국산화 기반 급속 충전기용파워스택 수요연계 기술개발	지정공모	45	1,200	영리기관	혁신제품	징수	일반	수요기업 참여필수

⑤ 반도체첨단패키징선도기술개발 (기술선도형첨단패키징기술개발)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	산업수요연계 칩렛 패키지용 ML (Machine Learning) 기반 설계 최적화, 고밀도 배선 공정 및 신호 무결성 검증 솔루션 개발	품목지정	45	1,275	중소·중견	혁신제품	징수	일반	
2	산업수요연계 Warpage를 최소화하는 3차원 저온 저압 칩렛 적층 혁신제품형 기술개발	품목지정	45	1,500	중소·중견	혁신제품	징수	일반	
3	산업수요연계 HBM 고성능 반도체 초고집적 하이브리드본딩 스택장비 혁신제품형 기술개발	품목지정	45	1,500	중소·중견	혁신제품	징수	일반	
4	산업수요연계 수동소자와 브릿지 다이를 내장하는 재배선 인터포저 혁신제품형 기술개발	품목지정	45	1,500	중소·중견	혁신제품	징수	일반	
5	산업수요연계 600x600mm ² 대면적 글래스 기판용 고단차 TGV 금속 증착 장비 혁신제품형 기술개발	품목지정	45	1,500	중소·중견	혁신제품	징수	일반	
6	산업수요연계 첨단 반도체 패키징용 멀티스케일 패턴 도금 소재-공정-장비 혁신제품형 기술개발	품목지정	45	1,500	중소·중견	혁신제품	징수	일반	

⑥ 반도체첨단패키징선도기술개발 (기술자립형첨단패키징기술개발)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	시장수요연계 팬아웃 웨이퍼레벨용 감광성 질연소재 및 배선 혁신제품형 기술개발	품목지정	45	900	중소·중견	혁신제품	징수	일반	
2	시장수요연계 대면적 빌드업 필름 소재 및 초미세패턴 공정 혁신제품형 기술개발	품목지정	45	900	중소·중견	혁신제품	징수	일반	
3	시장수요연계 고밀도 대면적 FCBGA 패키지용 무가압 저침변형 접합 혁신제품형 기술개발	품목지정	33	1,400	중소·중견	혁신제품	징수	일반	
4	시장수요연계 300mm 웨이퍼용 EMC 소재 및 저온 경화 공정장비 혁신제품형 기술개발	품목지정	33	1,400	중소·중견	혁신제품	징수	일반	
5	시장수요연계 고성능 HBM 용 초고중형비 수직 TSV 형성을 위한 구리 전해도금 소재 혁신제품형 기술개발	품목지정	33	1,400	중소·중견	혁신제품	징수	일반	

⑦ 반도체첨단패키징선도기술개발 (글로벌기술확보형첨단패키징개발)

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	반도체 첨단 패키징 선도기술개발사업 상용화 지원	품목지정	81	400	비영리기관	혁신제품	비징수	일반	사업총괄
2	(총괄) 첨단패키징 글로벌 기술검증 플랫폼 개발	품목지정	81	342	비영리기관	원천기술	비징수	일반	병렬형 과제총괄
2-1	(1세부) 기술선도형 차세대 인터포저 전력기술 검증기술 개발	품목지정	81	761	비영리기관	원천기술	징수	일반	병렬형 세부, 국제공동
2-2	(2세부) 기술선도형 3D 패키징 전력기술 검증기술 개발	품목지정	81	761	비영리기관	원천기술	징수	일반	병렬형 세부, 국제공동
2-3	(3세부) 기술자립형 2.5D 패키지 소재·장비 전력기술 검증기술 개발	품목지정	81	761	비영리기관	원천기술	징수	일반	병렬형 세부, 국제공동

⑧ 민관공동투자반도체고급인력양성

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	-30~60°C 범위의 온도 보상이 가능한 고신뢰성 32배셀 3D NAND 메모리 소자 및 회로 핵심 요소기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
2	온디바이스 AI를 위한 강유전체 기반 초저전력/비휘발성 SRAM 회로 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
3	CXL 환경 고집적 Vertical 크로스포인트 Selector only memory (SOM) 소자 및 어레이 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
4	위상 박막 소재 기반 고성능 SOT-MRAM 공정 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
5	1nm 기술노드 이하 monolithic CFET을 위한 핵심 모듈공정기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
6	수직 집적형 CMOS INTEGRATION을 위한 고성능 P형 소자 요소 기술 개발	품목지정	33	298.5	비영리 기관	원천 기술	비징수	일반	
7	인-센서 컴퓨팅 기반 멀티모달 온-센서 AI 플랫폼 개발	품목지정	33	200	비영리 기관	원천 기술	비징수	일반	
8	메모리와 로직 반도체가 연동된 지능형 반도체 테스트 용이화 설계 기술	품목지정	33	200	비영리 기관	원천 기술	비징수	일반	
9	고성능, 고연결성 칩렛 기반 SoC 구조 연구 및 이에 필요한 보안 요소 기술 개발	품목지정	33	200	비영리 기관	원천 기술	비징수	일반	
10	차세대 원자수준 패터닝을 위한 선택적 원자층 증착/식각 공정 및 표면 분석 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
11	원자층 in-situ 공정을 이용한 inhibitor-free 선택영역 증착기술	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
12	무한 선택도를 갖는 영역 선택적 메탈 전극 박막 증착 공정 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
13	Cu dishing 조절 CMP slurry 설계 및 post CMP cleaning 원천 기술	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
14	HAR 식각공정용 Narrow-Gap 반도체의 플라즈마 밀도 진단을 위한 전자빔 시공간 광방출 측정 원천기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
15	TSV CMP 계면 defect 개선 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
16	최적의 선택비 조절 가능한 barrier metal CMP slurry 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
17	CXL 메모리를 위한 수직형 셀러트 온리 메모리용 칸트레비움 영역선택적 원자층증착공정 원천기술 개발	품목지정	57	298.5	비영리 기관	원천 기술	비징수	일반	
18	반도체 공정 향상과 VM 기술을 위한 고정밀 플라즈마 간섭진단기술	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
19	3D DRAM 대응 초고유전율 극박막 소재 및 공정 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
20	유리 인터포저 기반 2.5D 반도체 기반 제작 및 소자 실장 기술 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
21	Non-noble metal 소재 기반 페로브스카이트 전극/유전체 어셈블리 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	
22	유기무기 하이브리드 다층분자막을 이용하여 HighNA용 positive-tone EUV 무기 간섭 PR 소재 및 공정 개발	품목지정	57	200	비영리 기관	원천 기술	비징수	일반	

⑨ PIM인공지능반도체핵심기술개발

(단위: 월, 백만원)

번호	RFP명	과제 성격	개발 기간	'25년 출연금	주관연구 개발기관	과제 유형	기술료 징수여부	자율성 트랙	특이 사항
1	원자수준 증착 가능한 MRAM용 PVD 장비 개발	품목지정	45	1,300	중소·중견	혁신 제품	징수	일반	
2	PIM기반 고성능 메모리 소자의 방열구조 설계 및 방열소재 개발	품목지정	33	700	중소·중견	혁신 제품	징수	일반	

1

시장선도를위한한국주도형K-센서기술개발사업

품목번호	2025-K센서-품목-일반-01		산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	Sensor용 소자
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁통과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	지반침하와 지하매설물 감지용 레이더 센서 및 이동체 탑재형 감지시스템 개발 (TRL : [시작] 5단계 ~ [종료] 7단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○(개념) 국민의 안전확보를 위해 지반침하(싱크홀 등)의 사전 감지와 지하매설물(상하수도관 등)의 모니터링용 센서의 원천기술 확보와 감지시스템의 국산화 - 이동체에 탑재하여 도로 등의 지반침하와 지하매설물의 감지가 가능한 비접촉식 레이더 센서, 획득된 신호처리를 위한 송수신 모듈 및 레이더 센서의 운영을 위한 이동체 탑재 가능한 감지시스템 - 지중 투과가 가능한 비접촉식 레이더 센서 기술을 활용하여 지중 감지 대상의 시각화와 GPS 연동을 통한 감지물의 깊이, 위치 분석을 위한 감지시스템 기술 					
※ 핵심 목표 : 스캔 폭(Scan width) 1.6m 이상, 감지물의 최소 감지 면적(50cmx50cm) (세계 최고)					
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 지반침하 및 지하매설물 감지용 비접촉식 레이더 센서* 개발 - 적용 주파수 : 수백MHz 이상 - 안테나 개발 : 광대역/다중대역 기술, 소형화와 지능형 안테나 재구성 기술 등 적용 - 전자기파 간섭 저감 및 차폐 기술 개발 * (레이더 센서) 비접촉식 레이더 센서 기술의 적용은 필수이며, 제안자가 감지성능 개선을 위한 융합					

센싱 방식 제안 가능

- 레이더 센서 구동 및 신호처리를 위한 광대역/다중대역 트랜시버 모듈 개발
 - 광대역/다중대역 레이더 시스템 구동을 위한 RF 트랜스미터 회로 시스템 개발
 - 레이더 센서 신호분석용 광대역/다중대역 복조(Demodulator) 회로 시스템 개발
 - 고속 A/D 변환 회로 시스템 개발
- 지반침하 및 지하매설물 조사용 고분해능 레이더 센서의 복합 운영 이동형 감지시스템 개발
 - 데이터 처리와 분석을 통한 감지 깊이 프로파일 추출과 시각화 기술 개발
 - AI 기반 GPS와 영상정보 연동을 통한 침하 및 지하 매설물 위치정보 Mapping 기술 개발
 - 차폐형 패키징 및 하우징 개발
 - 제작 결과의 테스트베드 또는 현장 적용 등을 통한 성능 검증

연구개발계획서 제출시 다음 항목의 정량적 목표치 및 상용화 수준 제시 필요

- 25km/h이상 주행 이동체 시스템 데이터 획득 및 검증, 최소최대 감지 깊이

2. 지원 필요성

지원 필요성

- **(정책적 측면)** “레이더 칩셋 및 모듈 제조 기술”은 반도체 분야의 “핵심전략기술”로 기술개발 지원이 시급함
- **(기술적 측면)** 지중 환경용 고투과성 “지중투과레이더”(GPR) 감지시스템의 핵심 기술인 “비접촉식 레이더 센서기술”은 선진기술의 의존도가 높아 국산화가 시급함
- **(시장적 측면)** 비접촉 또는 비파괴 레이더 센서기술 기반의 감지기술은 제품의 고장분석, 시설물의 균열 감지 등 다양한 제품과 장비에 활용이 가능한 기술로 수요가 증대되고 있음
- **(사회적 측면)** 국민의 안전한 삶 확보를 위해 도로의 지반침하와 상하수도관 등 지하매설 시설물의 관리에 대한 필요성이 증대되고 있음

3. 활용분야

활용분야

- 비파괴 방식의 도로 및 지반의 안전 모니터링용 감지 시스템
 - 싱크홀 등 지반침하, 도로 균열 등 감지 시스템
- 건설 및 조선 시설물 관리
 - 콘크리트 구조물의 강건성 평가
 - 도로의 아스팔트 포장 상태 분석
 - 교량 갑판 상태 평가
- 국가 지하 매설물 관리

- 상하수도관, 도시가스관, 통신 케이블, 지중 전력선 등의 지하 매설물 위치정보 기반 상태 모니터링

4. 지원기간/예산/추진체계

- **연구개발기간** : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 7.31억원 이내(총 정부지원연구개발비 23억원 이내)
- **주관연구개발기관** : 중소·중견기업
- **기술료 징수여부** : 징수
- **기타** : 수요기업 참여필수

품목번호	2025-신시장창출-품목-일반-01		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> <input type="checkbox"/>		<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	드론탐지를 위한 고출력 화합물 반도체와 AI 융합 기반 고해상도 다중 빔 레이더 모듈 개발 (TRL : [시작] 5단계 ~ [종료] 8단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
○ 다양한 위협으로부터 국내외 중요 기반 시설을 보호하기 위한 드론탐지 레이더의 성능 개선을 위하여 화합물 반도체, 빔포밍 반도체 등 세계 최고 수준의 반도체 부품 기술을 확보하고, 다중 빔 레이더 모듈 설계 기술과 AI 알고리즘을 융합하여 표적 탐지 성능을 고도화함으로써 세계 최고 기술력을 통한 신시장 진출					
※ 핵심 목표 : 드론 탐지 최대 거리, 탐지 표적 RCS, 드론 탐지 정확도 (세계 최고)					
<input type="checkbox"/> 개발내용					
○ 원거리 드론 탐지를 위한 반도체 국산화 개발					
- 원거리 탐지를 위한 고성능 화합물 반도체 (LNA, PA) 개발					
- 레이더 빔포밍 동작을 위한 다기능 빔포밍 반도체 IC 개발					
- 반도체 전력 제어 및 전력 효율 개선을 위한 전력관리 반도체 IC (PMIC) 개발					
- 고출력 반도체 IC 성능 열화 방지를 위한 고 방열 패키지 개발					
○ 레이더 트랜시버 모듈 및 초광각 안테나 개발					
- 다중 빔을 지원하는 트랜시버 모듈 개발					
- 저잡음 수신단, 낮은 불요파 송신단 및 고 격리도 기술 개발					
- 넓은 영역의 드론 탐지를 위한 초광각 안테나 개발					
- 빔포밍 Calibration 알고리즘 개발 및 H/W 적용					

- 드론 탐지 정확도 개선을 위한 레이더 신호처리 기술 개발
 - 탐지 거리에 따른 다중 빔 빔포밍 알고리즘
 - ISAR 또는 MIMO 등 레이더 영상 신호처리 기술
 - 클러스터 분리/제거/탐지 알고리즘 및 이를 위한 파형 제어 기술 개발
- AI 융합기술을 활용한 향상된 탐지 알고리즘 기술 개발
 - 다중 빔 신호 학습을 통한 탐지 알고리즘 S/W 개발
 - 레이더 이미지 학습을 통한 고 해상도 영상 기반 탐지 알고리즘 S/W 개발
- 원거리 드론 탐지를 위한 다중 빔 레이더 모듈 개발
 - 배열 안테나 및 반도체 부품이 통합된 다중 빔 레이더 모듈 개발
 - 개발된 레이더 모듈의 성능 검증 및 드론 탐지 성능 향상 알고리즘 적용 검증

연구개발계획서 제출시 다음 항목의 정량적 목표치 및 상용화 수준 제시 필요

- 최대 탐지 거리(km), 탐지 거리 해상도(m), 최대 탐지 속도(km/h), 탐지 속도 해상도(km/h), 탐지 각도 해상도(deg), 사용 주파수 대역(GHz)

2. 지원 필요성

지원필요성

- (정책적 측면)
 - 초격차 프로젝트1 “모빌리티/에너지/가전용 화합물 전력반도체 개발”에서 화합물 전력 반도체 및 PMIC 시스템 반도체를 만드는 주제로 화합물 반도체와 전력반도체 산업 생태계 개선에 기여
- (기술적 필요성)
 - 기존 드론탐지 반도체는 전량 해외에서 수입하고 있으나 본 제안을 통해 관련 시스템 반도체 국산화를 추진하며 그 개발 목표를 세계 최고로 설정함으로써 원거리 드론 침투를 탐지할 수 있는 새로운 솔루션 제공
 - 다중 빔을 갖는 하이브리드 빔포밍 레이더로 MIMO 기술을 이용한 이미지 처리 기능을 활용해 조류, 풍선 등 오탐을 유발하는 물체와의 분별력 증가
 - 레이더 이미지 영상의 AI 학습을 통해 레이더의 오탐 확률을 지속적으로 개선하는 차세대 레이더 개발
- (경제적 필요성)
 - 드론 탐지 기술 시장은 21년 기준 0.92B\$였고, 성장률은 CAGR 28%로 급성장하며 26년까지 4.67B\$의 시장규모를 보이는 새로운 기술 시장
- (사회적 필요성)
 - 현재 국방부 등에서는 국가 주요 시설 방어를 위해 드론탐지 레이더 적용을 적극 추진하고 있음
 - 관련 시장은 미국/영국/이스라엘 등이 독점하고 있고, 레이더에 사용되는 반도체 부품은 미국이 독점하고 있는 실정

- 국가 안보 강화 및 신시장 진출을 위해 해당 기술에 대한 개발 지원이 시급

3. 활용분야

활용분야

- 국방 및 위성용 레이다 반도체 부품으로 활용
 - 국내 수출 중인 천공II, K2 등 K-방산 기술에 적용되는 빔포밍 반도체에 사용
 - 이미지를 처리하는 SAR 위성용 반도체로 사용 가능
- 반도체 부품 기술을 확보하여 6G 및 모빌리티 통신용 반도체 부품으로 활용
 - 차량용 고속 통신 시스템에 빔포밍 기능 적용 검토 추세에 따라 향후 모빌리티에 적용 가능
 - 6G의 주파수 후보 중 하나인 X-대역 이상에 빔포밍 기술 활용
 - 개발된 반도체 및 신호처리 기술은 대용량 통신 기술에 적용 가능

4. 지원기간/예산/추진체계

- 연구개발기간 : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 15억원 이내(총 정부지원연구개발비 55억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

3

산업현장맞춤형온디바이스AI반도체기술개발

품목번호	2025-온디바이스-품목-일반-01		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	SoC
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	주력산업 맞춤형 온디바이스 AI 반도체(폴스택, 센서, 모듈, 시스템) 기술 개발			
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input checked="" type="checkbox"/>	<input type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	sVLM 기반 상황 인지를 통한 제조 자동화 로봇용 온디바이스 AI 반도체 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- 기존 전통적인 AI(예: CNN) 기반의 객체 검출 모델의 한계를 극복하고 제조 자동화 현장에서 인간과 로봇 간 협업 상황에 협동자의 행동을 즉각적으로 인지하고 상황을 파악하여, 생성형 언어로 대응할 수 있는 인간 상호작용에 최적화된 AI 모델(sVLM; small Vision to Language Model) 기반의 로봇 자체에 탑재가능한 온디바이스 AI 반도체 개발

※ 핵심 목표 : sVLM 구동 가능한 20 TOPS* 이상 연산성능을 가진 온디바이스 AI 반도체 (국산화)

* 산정 근거 : VLM 구동이 가능한 Jetson Orin 시리즈의 최소 사양(20 TOPS)

개발내용

- 협동자 행동 인지 및 상황 파악, 언어 대응을 위한 sVLM 기술 개발
 - 제조 현장 협업 상황을 반영한 인간-로봇 상호작용 AI 시나리오 구축
 - 인간 협업 중심 행동 인지 및 상황 파악을 위한 Video Encoder 기술 개발
 - 상황 기반 생성형 언어 대응을 위한 Language Decoder 기술 개발
 - 사용 목적·환경에 따른 변형 추론 기술 개발
 - 제조현장에서의 학습용 데이터셋 구축

- 온디바이스화를 위한 경량화 sVLM 모델 아키텍처 설계
- sVLM 구동을 위한 온디바이스 AI 반도체 개발
 - sVLM 가속을 위한 Logic IP 개발 및 SoC 통합 플랫폼 설계
 - AI 반도체 시제품 제작 및 SDK(Software Development Kit) 개발
 - ※ SDK는 python과 C 언어 지원 필수
 - 제조 현장 실증을 위한 모듈 개발 및 제조 자동화 로봇 연동
- 제조 현장 실증을 통한 인간-로봇 협업 환경 실현 및 맞춤 서비스 개발
 - 실 환경에서의 인간-로봇 협업 실증 및 성능검증
 - sVLM 기반 AI 서비스 개발
 - 실증 시나리오 및 서비스 다변화를 통한 사업화 방안 구축

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필요

- AI반도체 연산성능(TOPS), AI반도체 시스템 소비전력(W)*, 구동 가능한 sVLM 파라미터수(B, 입력 개), sVLM 추론 속도(Token/s), sVLM 추론 전력효율 (Token/s/W)*, 경량화 후 정확도(%), 국제공표준화 관련 제안(ISO, IEC 등)
- *소비전력은 SoC 및 메모리 등 sVLM 구동에 필요한 시스템 (보드) 전체의 소비전력 기준
- ※ 적용 Application별 최적화된 연산성능, 소비전력 및 파라미터 수, 추론속도, 전력효율 제시 및 근거 필요

2. 지원 필요성

□ 지원필요성

- (정책적 측면)
 - 로봇과 AI를 융합한 협업 시스템을 통하여 산업지능화 및 제조업 경쟁력을 강화
 - 협동 로봇을 통해 제조 현장에서 사람과 로봇이 안전하게 협업할 수 있는 환경 조성
- (기술적 필요성)
 - sVLM기반 협동 로봇용 AI 반도체를 통한 초고속 처리
 - 시각적 데이터를 바탕으로 상황을 이해하고 그 정보를 실시간으로 작업자에게 전달할 수 있는 sVLM기반 AI반도체의 실시간 구동을 위해서는 전용 가속 IP 및 통합 SoC 개발이 필수적
- (경제적 필요성)
 - 2023년에는 글로벌 협동 로봇 시장 규모가 약 17억 7천만 달러였으며, 2030년에는 127억 1천만 달러로 성장할 것으로 예상
 - 스마트 팩토리의 핵심요소로 향후 제조업의 디지털 전환을 위하여 필수적
- (사회적 필요성)
 - 2023년에는 글로벌 협동 로봇 시장 규모가 약 17억 7천만 달러였으며, 2030년에는 127억 1천만 달러로 성장할 것으로 예상
 - 스마트 팩토리의 핵심요소로 향후 제조업의 디지털 전환을 위하여 필수적

3. 활용분야

□ 활용분야

- 산업 자동화 및 로봇 공정 시장 등
 - VLM 기반 협동 로봇은 자동차, 전자제품 조립 등 다양한 산업분야에 적용 가능
 - 서비스 로봇으로 고객 서비스 물류 지원을 위해 물건을 옮기거나 정보를 제공
 - 협동 로봇 플랫폼으로 실시간 데이터를 처리하여 작업자와의 협업을 통한 생산성 증대

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 13.7억원 이내(총 정부지원연구개발비 93.8억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

품목번호	2025-온디바이스-품목-일반-02		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	산업기술 분류	반도체소자 및 시스템	SoC
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	주력산업 맞춤형 온디바이스 AI 반도체(풀스택, 센서, 모듈, 시스템) 기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	불량 검출을 위한 실시간 대면적 비전 검사용 온디바이스 AI 반도체 기술개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

- 개념
- 작업자의 육안 검사를 통한 불량 검사 오류를 개선하고자 대면적 피검사체를 대상으로 다수의 고해상도 카메라 데이터 기반 온디바이스 AI 반도체 및 대면적 머신 비전 AI 플랫폼 개발
 - 다수의 고해상도 카메라 입력에 대해 실시간으로 비정형 비전 검사를 수행하고, 단일 대면적 이미지를 합성하여 결함 위치를 정확하게 판별하는 AI 모델 가속이 가능한 현장 인라인 머신 비전 장비용 AI 플랫폼

※ 핵심 목표 : 온디바이스 AI 기반 대면적 불량검출률 95%* 이상(세계 최고)

* 산정 근거 : 국내외 반도체 장비의 경우, 반도체 패키지 크기 수준 피검사체의 크랙, 과납/소납 등 불량에 대하여 96~99%의 불량검출률을 보이고 있음

- 개발내용
- 과검출율을 효과적으로 조정 가능한 AI비전 검사 기술 개발
 - 정량적 목표를 달성할 수 있는 AI 대면적 결함 검출 알고리즘 개발
 - AI 비전 검사 알고리즘 학습을 위한 대면적 데이터 DB 구축
 - 고해상도(25MP 이상) 다채널 카메라를 동시에 처리하기 위한 고속 알고리즘 개발
 - 대면적 이미지 실시간 정합 기술 개발
 - 고해상도 다채널 카메라의 비전 고속 처리 온디바이스 AI SoC 개발
 - 저지연 동작을 위한 카메라 인터페이스 및 SoC 구조 설계

- 검출 성능 개선을 위한 화질 개선용 전처리 ISP IP 개발
- 다채널 카메라 실시간 동시 AI 지원을 위한 H/W Accelerator IP 개발
- 온디바이스 AI SoC를 탑재한 검사 처리 모듈 개발
- 온디바이스 AI SoC 기반의 대면적 머신 비전 AI 플랫폼 개발
 - IN-LINE 자동화 환경 기반 실시간 검사 지원 플랫폼 환경 구축
 - AI 검사 소프트웨어 개발 및 SoC 운용 최적화
 - 다채널 고해상도 카메라 기반 비전 검사 시스템 실증

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필요

- AI가속기 연산효율(TOPS/W), 결함인지 종류, 정확도, 소요시간 등
- 대면적 수치와 처리속도(PPM, Parts per minute), 센서 사양과 갯수, 데이터 확보 방안 및 수량 등

2. 지원 필요성

- 지원필요성
- (정책적 측면)
 - 제조 현장은 AI S/W 기술뿐만이 아니라, H/W까지 포함된 솔루션 공급이 필수인 분야로, 본 기술 개발을 통해 우수 기술 확보뿐 아니라, AI 반도체 기술의 산업 현장 적용 사례 발굴을 통해 국산 반도체 사업화에 기여가 가능한 분야임
 - (기술적 측면)
 - 기존의 소형 피검사체에 활용되는 머신 비전 검사 장비 및 기술을 그대로 도입하기에는 어려움이 있으며, 다수의 카메라 입력 영상 정합과 실시간 동시 AI 검출 가속을 통해 정확한 결함 위치 파악이 가능한 AI 비전 검사 기술과 전용 반도체 제작, 그리고 적용 검사 장비와 AI 개발 플랫폼의 개발이 필요
 - 비전 검사 기술은 대부분 SW 기반 솔루션으로 제시되고 있어, 제조 현장의 IT 인프라 구축 어려움 등으로 인해 여전히 높은 점유율을 보여주고 있지 못하며, 자동화 라인 도입을 위해서는 전용 하드웨어 도입이 필수적으로 요구되고 있음
 - 제조 현장의 경우, 처리 지연(latency)에 민감하여 클라우드 서비스를 통한 AI 기술 적용은 불가능하며, 초고화소 카메라 이미지를 연결하여 실시간 다수 카메라 동시 AI 검출 가속을 통한 전용 비전 검사를 위한 AI 온디바이스 플랫폼이 필요
 - (시장적 측면)
 - 비전 검사 기술은 다양한 산업 분야에서 품질 관리와 결함 검출을 위한 핵심 기술로 보급이 확대되고 있으며, 기존의 반도체, PCB 등 주로 소형 피검사체를 대상으로 제안된 기술과는 달리 자동차 제조와 디스플레이 패널, 조선 등을 국가 핵심 산업으로 보유하고 있는 우리나라에서는 최근 대면적 피검사체에도 비전 검사를 적용하고자 하는 움직임이 활발함
 - 국내 주요 산업인 자동차, 디스플레이 패널 등 제조의 효율성 증대와 경쟁력 강화를 위해 본 과제의 기술 개발이 시급하며, 개발 완료 시 제조 현장에서 높은 활용도를

가질 것으로 예상됨

○ (사회적 측면)

- 국내 주요 산업인 자동차, 디스플레이 패널, 섬유, 조선 등 제조 분야에 AI 기술을 접목하여, 국내 제조 경쟁력 확보가 가능하고, 대면적 피검사체가 많은 차량, 조선 등의 부품용 레퍼런스 확보를 통해 관련 기술 분야 선도 가능

3. 활용분야

활용분야

- AI 머신 비전 검사 장비
- 자동화 프로세스를 위한 머신비전 시스템과 센서, 소프트웨어와 함께 표면 검사 통합 시스템
- 다수 제조업체가 제작한 카메라, 프레임 그레버 및 비전 라이브러리를 포함하는 비전 시스템
- 표면(외부) 도장 또는 대면적 패널 등의 오류 검출용 비전 시스템
- 물체 인식 및 분류/분석(체적 계산, 제품 crack 등 검사)을 위한 비전 AI 솔루션

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 10.5억원 이내(총 정부지원연구개발비 74.1억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

품목번호	2025-온디바이스-품목-일반-03		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	SoC
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	주력산업 맞춤형 온디바이스 AI 반도체(풀스택, 센서, 모듈, 시스템) 기술 개발			
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 윈스특형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/>	<input checked="" type="checkbox"/>
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	제조생산설비의 로봇 상태감지 및 고장예지를 위한 온디바이스 AI 반도체 개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- 제조생산설비에 사용되는 로봇의 관리 효율성을 높이고, 사용 수명을 늘려 생산 효율을 증대시키며, 고장이나 오동작으로 인한 안전 사고까지 예방할 수 있도록 로봇의 상태를 인지하고, 로봇 주요 부품들*의 이상탐지, 상태인지 및 고장예지가 가능하며, 실시간으로 과열이나 급발진 발생시 제어까지 가능한 온디바이스 AI를 활용하는 예지보전시스템 PHM(Prognostics and Health Management)에 적용할 전용 AI SoC 개발

* 예) 구동장치, 감속기, 제어기, 로봇팔, 엔드이펙터 등

※ 핵심 목표 : 제조생산설비 핵심부품의 고장진단 및 잔존수명예측이 가능한 온디바이스 AI 반도체 (세계 최고)

개발내용

- 제조생산설비 로봇의 상태감지 및 고장예지를 위한 온디바이스 AI 모델 알고리즘 및 데이터셋 확보기술 개발
- 제조생산설비 로봇과 로봇 주요 부품들의 정상, 고장징후(이상) 및 기계적 동작과 전자 신호의 통합 분석을 통한 고장 모드 정의
- 고품질 학습용 데이터 생성을 위한 HW-SW Co-Simulation 디지털 트윈 개발
- 제조생산설비 로봇과 로봇 주요 부품들의 각 정상, 고장징후, 고장모드에 대한 측정 방법 도출 및 센서의 종류와 장착 위치 최적화를 통한 실측 데이터 수집
- 개발된 디지털 트윈 기반의 생성 데이터와 제조생산 부품들의 실측 데이터와의

정합도 향상 연구

- 수집 데이터에 기반해 로봇 및 주요 부품들의 상태진단, 이상탐지, 고장예지 및 수명예측 AI 모델 개발
- 핵심부품 수명 모델 개발과 잔존수명예측 상태기반 정비 및 예측기반 정비 기술 개발
- 제조생산설비 로봇의 과열, 급발진 등 긴급 상태 이상이 생겼을 시에 로봇을 긴급제어하는 안전사고 예방 알고리즘 개발
- 제조생산설비 로봇의 상태감지 및 고장예지를 위한 PHM용 온디바이스 AI SoC 개발
 - 멀티센서기반 AI 신호처리를 위한 전처리 신호처리 회로 및 로직 개발
 - 제조생산설비 로봇과 로봇 주요 부품들에 장착된 센서 데이터에 기반하여 상태인지, 이상탐지 및 고장예지 AI 모델들 및 긴급정지 알고리즘의 멀티모델 구동이 가능한 PHM용 온디바이스 AI SoC 개발
 - 개발한 PHM용 AI SoC에서 온디바이스 AI 알고리즘들을 원활히 구동할 수 있도록 SoC 전용 SDK 개발
 - 개발한 PHM용 AI SoC를 PHM에 탑재할 수 있도록 온디바이스 AI 모듈 개발 및 모듈 구동을 위한 전용 BSP 개발
- 제조생산설비에서의 로봇 상태감지 및 고장예지를 위한 온디바이스 AI PHM 실증
 - 실제 제조생산설비 로봇에 개발된 AI SoC가 장착된 PHM을 실증

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 연산효율(TOPS/W), 다중센서 데이터 처리 개수, 디지털 트윈기반 생성데이터 정확도, 고장모드의 정의와 개수, 분류 정확도, 잔존수명예측 정확도, 멀티모델 구동 가능 여부, 국제공적표준화 관련 제안(ISO, IEC 등)

2. 지원 필요성

□ 지원필요성

○ (정책적 측면)

- AI접목을 통해 국내 제조업의 고부가가치화 달성 : 산업부는 24년 5월 발표한 ‘AI 자율제조 전략 1.0’에 기초해, 제조 공정에 AI를 접목한 생산고도화와 자율화를 촉진중이며, 생산 시스템의 고장진단 및 잔존 수명 예측 기반의 상태정비 기술은 자율제조 구현을 위한 핵심 기술의 하나임. AI SoC가 적용된 PHM을 통해 제조생산설비 로봇의 상태측정 및 고장예지 시 설비 로봇 관리비를 줄이고 사용연한을 늘릴 수 있어, 국내 제조업의 생산효율성을 높여 고부가가치화 촉진 가능

○ (기술적 측면)

- 로봇의 복잡한 구조와 다양한 고장 양상에 대응 필요 : 제조생산설비 로봇은 점차 다양한 기능을 수행하도록 구조가 복잡해지고 있어 고장 양상 또한 다양해짐. 따라서, AI 기술을 활용하여 예기치 못한 고장 양상까지 대응할 필요성 증가
- PHM 전용 AI SoC로 온디바이스 AI 구동 필요 : AI는 모델 연산량 등의 이유로 보통 클라우드에서 실행되나, 제조생산설비 데이터는 기업고유의 자산이기에 보안 문제로 클라우드 사용이 제한됨. 또, 기존 범용 AI SoC를 사용하기에는 각

제조환경과 시스템에 맞는 추가개발 소요가 큼. 따라서, 제조생산설비 로봇용 PHM 전용으로 온디바이스 AI SoC 개발이 필요

○ (시장적 측면)

- 제조생산설비 로봇 PHM 전용 SoC 개발의 어려움 : 제조생산설비 로봇을 위한 PHM 전용 SoC 개발의 필요성은 제조 기업이나 로봇 기업 모두 공감하나, SoC의 개발은 이들 업체가 감당하기 어려운 많은 비용과 연구인력이 수반됨. 따라서, 정부지원을 통해 집중적인 연구개발 수행 필요
- 여러 산업으로의 파급 효과 : 제조생산설비 로봇은 전기전자, 자동차, 식음료 등 모든 산업의 생산설비에 사용되고 있으므로, 이를 위한 PHM 전용 SoC 개발은 국내 모든 산업의 생산효율성 증대

○ (사회적 측면)

- 제조현장 안전사고 예방 : AI SoC를 적용한 PHM을 활용시 제조생산설비의 이상이나 고장을 사전에 감지하고, 상태감지를 통해 사고 직전에 로봇을 제어해 안전사고를 예방할 수 있어, 산업재해를 줄이고 안전한 작업환경 구축에 기여

3. 활용분야

□ 활용분야

- 국내의 각종 제조생산설비에 활용
 - 자동차 조립 생산라인의 각종 제조 설비 및 생산용 로봇에 활용
 - 가전을 포함한 각종 전자제품 및 세트 제조 업체 생산라인에 활용
 - 기계 및 장비 제조업 제조 생산 설비 및 로봇에 활용
 - 식음료 제조업 생산라인의 각종 제조 설비 및 로봇에 활용
 - 화학물질 및 화학제품 제조업의 각종 제조 설비 및 로봇에 활용
- 제조생산설비 로봇용 PHM 기능 표준화에 활용
 - 제조생산설비 로봇의 이상탐지, 상태인지, 고장예지 및 수명예측을 할 수 있는 PHM 관련 기술 표준화에 기여

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 10.5억원 이내(총 정부지원연구개발비 74.1억원 이내)
- 주관연구개발기관 : 중소·중견기업
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

품목번호	2025-온디바이스-품목-일반-04		산업기술 분류	중분류 I 반도체소자 및 시스템	중분류 II SoC
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형			
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	주력산업 맞춤형 온디바이스 AI 반도체(풀스택, 센서, 모듈, 시스템) 기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 윈스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> <input checked="" type="checkbox"/>	<input type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	전기화재 예측을 위한 온디바이스 AI 반도체 기술개발 및 실증 (TRL : [시작] 5단계 ~ [종료] 7단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> 스마트 계량기, 완속 충전기 등에 탑재*되어 전력선의 전류 및 전력을 실시간 모니터링하며 화재 위험성을 예측하는 온디바이스 AI SoC를 개발하여 전기화재 위험을 조기에 인지하여 대처할 수 있는 AIoT 시스템 구현 <p>* 스마트 계량기, 완속 충전기 등에 내재된 전기 계량 기능과 연계 필요</p>					
※ 핵심 목표 : 온디바이스 AI 기반 3종(누설전류, 과전류, 아크 발생 등) 이상의 전기화재 검지 (국산화)					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> 전기화재 분석을 위한 데이터셋 구축 및 경량 AI 모델 개발 <ul style="list-style-type: none"> 실시간 전압, 전류, 전력에 따른 위험 상황* 분석 기술 개발 <p>* 누설전류, 과전류, 아크 발생 등</p> <ul style="list-style-type: none"> 위험 상황별 전기화재 위험성 예측을 위한 데이터셋 구축 데이터분석기 및 AI 모델 개발이 가능한 SDK 플랫폼 개발 실시간 모니터링 기반 화재 예측용 Tiny ML* 모델 개발 <p>* MCU급 프로세서에 탑재가능한 파라미터 수를 갖는 신경망</p> <ul style="list-style-type: none"> AI 기반 전기화재 예측이 가능한 온디바이스 SoC 개발 <ul style="list-style-type: none"> 화재 예측을 위한 Tiny ML 모델 구동용 NPU 개발 분석 데이터 전송을 위한 외부 통신 인터페이스 개발 					

- 보안 기능을 위한 난수발생기 기능 개발
 - MCU 및 메모리 연동을 통한 통합 SoC* 개발
 - * 스마트 계량기, 완속 충전기 등에 탑재되도록 소형화 필요
 - 모듈 간 상호 통신 연동을 위한 온디바이스용 SDK 개발
- 스마트 계량 AIoT 모듈 개발 및 전기화재 예측 시스템 실증
 - 온디바이스 AI SoC 및 보안 통신 기능을 탑재한 AIoT 모듈 개발
 - 실시간 데이터 확보 및 현장 시험이 가능한 테스트베드 구축
 - 수요처 연계 기반 시험 방안 마련 및 성능 분석 도출

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필요

- 화재위험 예측 정확도(%), 위험 상황 종류(종), 구동 신경망 종류(종), 최대 신경망 파라미터 수, NPU 연산성능, NPU 전력효율, 소비전력, 지원 통신 규격, 지원 보안 규격, 데이터 확보 방안, 국제공격표준화 관련 제안(ISO, IEC 등)

2. 지원 필요성	
<input type="checkbox"/> 지원필요성	
<ul style="list-style-type: none"> (정책적 측면) 2024년부터 환경부는 화재 예방형 완속충전기 설치를 요구하고 있으며, 이로 인해 국내에 많은 수요 발생 (기술적 측면) Nvidia Jetson Nano를 사용하여 전기 화재 예방 AIoT 시스템을 구축하려는 연구가 활발하게 국내외에서 진행 중 (시장적 측면) 전기차 충전기 제어를 위한 MCU는 NXP와 같은 외국의 회사들이 거의 전세계 시장을 장악하고 있음. 해당 시장은 2027년까지 약 200억 달러 규모로 성장할 것으로 예상 (사회적 측면) 최근 전기차 완속 충전 중 화재 발생이 빈번히 발생하여, 이에 대한 사회적 공포가 극심함. 따라서 해당 시스템의 개발이 시급함. 2022년 발생한 카카오 화재 사건으로 전기적 요인으로 인한 화재 가능성 조기 예측 필요성 증대 	
3. 활용분야	
<input type="checkbox"/> 활용분야	
<ul style="list-style-type: none"> 전기차 충전기 <ul style="list-style-type: none"> - 전기차 완속 충전기의 화재 예방에 적용 가능 산업 현장 안전 확보 <ul style="list-style-type: none"> - 관련 시스템을 사용하여 각종 산업 현장에서 전기로 인한 화재 예방 가능 	
4. 지원기간/예산/추진체계	
<ul style="list-style-type: none"> ○ 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월) ○ 정부지원연구개발비 : '25년 8.5억원 이내(총 정부지원연구개발비 53.2억원 이내) ○ 주관연구개발기관 : 중소·중견 기업 ○ 기술료 징수여부 : 징수 ○ 기타 : 수요기업 참여 필수 	

4 **회합물전력반도체고도화기술개발 (상용화소자 및 모듈)**

관리번호	2025-회합물전력-지정-일반-01		산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		반도체소자 및 시스템	중전기	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	모빌리티.에너지.가전용 회합물 전력반도체 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
과제명	SiC Transfer Molded 전력모듈 국산화 기반 고속서보드라이브 수요 연계 기술 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				
1. 개념 및 정의					
<input type="checkbox"/> 개념 ○ 고속 서보드라이브의 성능 고도화 및 시장경쟁력 제고를 위한 SiC Transfer Molded 전력 모듈의 국산화 및 이를 적용한 고속 서보드라이브의 수요 연계 기술 및 성능평가					
<input type="checkbox"/> 정의 ○ 수요기업 연계형 SiC 1200V급 Transfer Molded 전력모듈 국산화 개발 및 이를 적용한 고속 서보드라이브 성능 평가 - 국산 SiC 전력소자 적용 1200V급 Transfer Molded 전력모듈 Packaging 국산화 개발 - 국산 1200V급 SiC 전력모듈을 적용한 7.5kW급 고속 서보드라이브 부하시험 평가 ※ 본 과제는 모듈을 개발하는 과제로서 기 개발된 국산 SiC 소자를 활용하는 것을 권고함					
2. 연구목표 및 내용					
<input type="checkbox"/> 최종목표 ○ 1200V급 SiC Transfer Molded 전력모듈의 국산화 및 이를 적용한 고속 서보드라이브 수요연계 기술 개발을 통한 성능 고도화, 시장경쟁력 제고 및 기술 내재화 ○ 정량적목표					

연번	핵심 기술/제품 성능지표	단위	달성목표	국내최고수준	세계최고수준 (보유국, 기업/기관명)
1	패키징 구조	-	CIB	-	6 pack IPM (독일, Infineon)
2	전압/전류 정격	-	≥1200V/50A	-	1200V/20A (독일, Infineon)
3	JEDEC(JESD22 및 JEP)	-	모듈 인증	-	인증
4	최대효율	%	≥98	-	98 (이스라엘, ELMO)

- 개발 내용**
- SiC Transfer Molded 전력모듈 국산화 기반 고속 서보드라이브 수요연계 기술 - 1200V/50A 이상급 SiC CIB Transfer Molded 전력모듈* 기술개발
 - * 국산 SiC 소자 활용 필수
 - 고속 스위칭 대응 SiC 전력모듈의 기생임피던스 최소화 설계 기술
 - CIB(Converter+Inverter+Brake) 모듈 접합 및 패키징 기술개발
 - SiC 전력모듈 개발품을 적용한 7.5kW급 고속 서보드라이브의 부하시험평가

TRL 핵심기술요소(CTE)

연번	핵심 기술요소	최종단계	생산수준 또는 결과물	시험평가 환경
1	Transfer Molded 전력모듈	7	시작품	실험실

- 보안과제 및 안전성 검토 여부**
- 해당 사항 없음

3. 국내외 기술동향

- 국내 기술 동향**
- 국내 공장 자동화를 위한 서보 전동기 구동기술 개발에 대한 연구는 많이 진행되고 있으나 차세대 전력반도체인 SiC 소자 기반의 전력변환기개발 기술은 설계 기술 부족 및 생산 단가로 인해 제품 출시는 미흡하며, 정부과제 중심으로 산발적으로 연구개발 되고 있음

- 국외 기술 동향**
- 전력반도체 기업에서 자체 개발한 차세대전력반도체 소자를 적용한 전력변환시스템 시작품 및 평가용 보드를 출시하여 차세대 전력반도체 기반 전력변환기의 활용 가능성이 높아지고 있음

4. 지원필요성

- 기술적 지원필요성**
- 산업용 전력변환모듈 개발 기술 관련 국내 기술 개발을 위한 정책이 진행중에 있으나, 대부분 해외 선진사의 제품이 시장을 점유하고 있고 국내 기업의 기술력 제고를 위한 기술 개발이 필요함
- 경제적 지원필요성**

○ 국내 전력 반도체 시장은 약 20억불 규모이며, 기술력 부족과 해외 기업의 특허 선점으로 수요의 90% 이상을 수입에 의존하고 있어 공급망 해소와 가격경쟁력 강화를 위한 국산화 기술개발이 필요함

□ 정부/정책적 지원필요성

○ 글로벌 주요국은 차세대 전력반도체의 성장 가능성을 인지하고 다양한 정책적 지원을 추진 중이며, 세계 초고효율 전력변환 시스템 시장에 대한 선제적 대응을 위해 전략적 육성과 기술 경쟁력 확보가 필요함.

5. 활용방안 및 기대효과

□ 활용방안

○ 다양한 응용분야별로 국산 전력반도체 기반의 전력모듈을 탑재한 전력변환장치 개발을 통해 차세대 전력반도체의 적용 사례를 확보하여 국내외 수요기업으로부터의 인지도 및 신뢰도 향상

□ 기술적 기대효과

○ 국산화 고성능 전력 모듈 적용을 통한 산업계 전력변환 시스템 전반의 전력 변환 효율 증대 및 고성능화 전인 가능

□ 경제적 기대효과

○ 국산 차세대 전력 반도체 소자를 활용한 전력모듈 기반 고성능 서버 드라이브 등 산업계 주요 전력변환 시스템의 고효율화 및 고성능화를 통한 기술 고도화 및 가격 경쟁력 확보

□ 기타 사회·문화적 측면의 기대효과 및 파급효과

○ 차세대 전력반도체, 모듈 및 서버드라이브 관련 국내 전문 인력 확보 및 산학연 공동연구를 통해 차세대 전력반도체모듈의 지속적 인력 육성 및 산업계 진출

6. 지원기간/예산/추진체계

○ 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)

○ 정부지원연구개발비 : '25년 10억원 이내(총 정부지원연구개발비 53.8억원 이내)

○ 주관연구개발기관 : 영리기관

○ 기술료 징수여부 : 징수

○ 기타 : 수요기업 참여 필수

관리번호	2025-화학물전력-지정-일반-02		산업기술 분류	중분류 I	중분류 II	
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		반도체소자 및 시스템	중전기기		
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음					
초격차프로젝트 (해당)	분야	반도체				
	미션	첨단 시스템 반도체 강국 도약				
	프로젝트	모빌리티-에너지-가전용 화학물 전력반도체 개발				
연계유형	<input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음					
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동					
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형					
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제					
	<input type="checkbox"/> 탄소중립 <input checked="" type="checkbox"/> ESG <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 해당없음					
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>					
과제명	GaN/SiC 전력모듈 국산화 기반 서버용 초고밀도 전원공급모듈 수요연계 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)					
1. 개념 및 정의						
□ 개념						
○ GaN 및 국산 SiC 전력반도체를 활용하여 서버용 전원공급장치에 최적화된 차세대 전력반도체 기반 전력모듈의 설계 기술 고도화와 국산 전력모듈의 기술적용 실증 사례 확보를 위한 고효율, 고밀도 서버용 전원공급모듈 개발 및 성능평가						
□ 정의						
○ 650V, 5kW급 브릿지 구조의 GaN, SiC 고밀도 전력모듈 패키징 기술개발 - SiC 및 GaN 소자의 고주파 스위칭 대응 최적화 전력모듈 국산화 기술개발 ○ GaN 및 국산 SiC 전력모듈을 적용한 초고밀도 서버용 전원공급모듈 기술개발 - 개발 전력모듈 적용 5kW급 초고밀도 서버용 전원공급모듈 개발 및 부하 시험 평가 ※ 본 과제는 모듈을 개발하는 과제로서 기 개발된 국산 SiC 소자를 활용하는 것을 권고함						
2. 연구목표 및 내용						
□ 최종목표						
○ 차세대 전력반도체 기반의 전력모듈 국산화 기술개발 및 이를 적용한 고효율, 고밀도 서버용 전원공급장치 기술개발						
○ 정량적목표						
연번	핵심 기술/제품	성능지표	단위	달성목표	국내최고수준	세계최고수준 (보유국, 기업/기관명)
1	SiC 전력모듈	패키징 구조	-	Transfer Molded	-	650/50 (미국, Onsemi)
2		전압/전류 정격	V/A	≥650/50	-	
3	GaN 전력모듈	패키징 구조	-	Transfer Molded	-	650/50 (미국, Transphorm)
4		전압/전류 정격	V/A	≥650/50	-	
5	JEDEC(JESD22 및 JEP)		-	모듈 인증	-	인증
6	서버용 전력변환모듈	최대효율 @30~100% 부하	%	≥97.5	-	97.5 (대만, Delta)

개발 내용

- 서버용 전원공급장치에 최적화된 GaN, SiC 기반 전력모듈 국산화 기술개발
 - 650V GaN HEMT 전력반도체를 적용한 5kW급 고밀도 전력모듈 패키징 기술
 - 국산 650V급 SiC 전력반도체를 적용한 5kW급 고밀도 전력모듈 패키징 기술
- 국산 전력모듈을 적용한 서버용 초고밀도 전원공급장치 개발 및 성능평가
 - SiC 및 GaN 전력모듈용 저손실 고주파 구동 게이트 드라이브 기술개발
 - GaN 및 SiC 전력모듈을 적용한 5kW급 고효율 서버용 전원공급모듈 개발 및 부하 시험 평가

TRL 핵심기술요소(CTE)

연번	핵심 기술요소	최종단계	생산수준 또는 결과물	시험평가 환경
1	국산 SiC 기반 전력모듈	7	전력모듈 시작품	실험실
2	GaN 전력모듈	7	전력모듈 시작품	실험실

보안과제 및 안전성 검토 여부

- 해당 사항 없음

3. 국내외 기술동향

국내 기술 동향

- 서버용 전원공급장치는 일부 저가형 서버 모델을 제외하고 대부분 Platinum 등급으로 개발되고 있으며, 프리미엄급 서버에서 Titanium 등급을 요구하고 있어 외산 GaN 소자를 탑재한 고성능 전원장치 개발이 진행 중

국외 기술 동향

- 선진사(TI, Infineon, Onsemi 등)에서 GaN 전력반도체 개발을 진행하고 있으며, Delta 등 서버용 전원공급장치 선진사와 협업하여 고효율 제품을 출시

4. 지원필요성

기술적 지원필요성

- 국내 전력반도체 개발 기업은 대부분 중소·중견 기업중심으로 진행하고 있으며 해외 선진사에서 주도하고 있는 차세대 전력반도체의 기술 격차를 좁히고 주도권을 확보하기 위해선 정부 주도의 지원이 절실히 필요

경제적 지원필요성

- 민간 공동연구로 차세대 전력반도체 국산화 사업이 이루어졌지만 소비자의 국산 전력반도체에 대한 신뢰성 부족으로 시장 점유율이 낮은 실정임. 정부 주도의 국산 전력반도체를 적용한 시스템 개발로 트랙 레코드 확보 필요

정부/정책적 지원필요성

- 차세대 전력반도체 기술개발은 현 정부의 반도체 초강대국 달성 전략 이행의 핵심 수단으로 인식되고 있음(산업통상자원부, '22.7)

5. 활용방안 및 기대효과

활용방안

- (전력모듈) 국내 전력반도체 및 전력모듈 패키징 관련 업체
- (전원장치) 차세대 전력반도체를 적용한 고효율, 고밀도 전력변환 개발 기업

기술적 기대효과

- 응용 분야에 최적화된 차세대 전력모듈의 국산화 개발을 통해 공급망 내재화로 에너지 자립 및 반도체 공급 불안 해소 가능

경제적 기대효과

- 핵심 부품인 전력모듈의 국산화와 전력변환모듈의 고효율화 및 고성능화를 통해 선진국과의 기술 격차 감소로 국내외 시장 경쟁력 확보 가능

6. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 10억원 이내(총 정부지원연구개발비 53.8억원 이내)
- 주관연구개발기관 : 영리기관
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

관리번호	2025-화학물전력-지정-일반-03		산업기술	중분류 I	중분류 II		
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	중전기		
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음						
초격차프로젝트 (해당)	분야	반도체					
	미션	첨단 시스템 반도체 강국 도약					
	프로젝트	모빌리티.에너지.가전용 화학물 전력반도체 개발					
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음						
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동						
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형						
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제						
	<input type="checkbox"/> 탄소중립	ESG	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 해당없음		
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>						
과제명	SiC 1200V급 전력모듈 국산화 기반 수전해용 전원공급모듈 수요연계 기술 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)						
1. 개념 및 정의							
<input type="checkbox"/> 개념							
○ 수전해용 전원공급 모듈의 가격 경쟁력 확보 및 국산화를 위한 SiC 1200V급 전력모듈 국산화 기반 수전해용 전원공급 모듈 수요 연계 기술개발							
<input type="checkbox"/> 정의							
○ 수요 연계형 SiC 1200V급 전력모듈 국산화 개발 및 수전해용 전원공급모듈 성능평가							
- 국산 1200V급 SiC 전력반도체를 적용한 75A 및 350A급 전력 모듈 패키징 기술개발							
- 국산 SiC 전력모듈을 적용한 수전해용 25kW급 고효율 DC/DC 전원공급모듈 부하시험 평가							
- 국산 SiC 전력모듈을 적용한 100kW급 고효율 계통 연계형 전원공급모듈 부하시험 평가							
※ 본 과제는 모듈을 개발하는 과제로서 기 개발된 국산 SiC 소자를 활용하는 것을 권고함							
2. 연구목표 및 내용							
<input type="checkbox"/> 최종목표							
○ 국산 SiC 1200V급 전력반도체를 적용한 75A 및 350A급 전력모듈 국산화 및 이를 적용한 수전해용 전원공급모듈 개발을 통한 가격경쟁력 제고 및 기술 내재화							
○ 정량적목표							
연번	핵심 기술/제품	성능지표	단위	달성목표	국내최고수준	세계최고수준 (보유국, 기업/기관명)	
1	SiC 전력 모듈	전압/전류 정격	AC/DC	-	≥1200V/350A	-	1200V/350A (독일, Infineon)
2		DC/DC	-	≥1200V/75A	-	1200V/50A (독일, Infineon)	
3		JEDEC(JESD22 및 JEP)	-	모듈 인증	-	인증	
4	전원공급 모듈	AC/DC 최대효율	%	≥98	-	98 (스위스, ABB)	

개발 내용

- SiC 1200V급 전력모듈 국산화 기반 수전해용 전원공급모듈 수요연계 기술개발
- 국산 1200V급 SiC 전력반도체를 적용한 75A 및 350A급 전력모듈 Packaging 기술
- 고주파 동작이 가능한 SiC 전력반도체 구동용 저손실 게이트 드라이브 설계 기술
- 국산 SiC 전력모듈을 적용한 수전해용 25kW급 고효율 DC/DC 전원공급모듈 부하시험 평가
- 국산 SiC 전력모듈을 적용한 100kW급 고효율 계통 연계형 전원공급모듈 부하시험 평가

TRL 핵심기술요소(CTE)

연번	핵심 기술요소	최종단계	생산수준 또는 결과물	시험평가 환경
1	SiC 1200V/75A급 전력모듈	7	전력모듈 시제품	실험실
2	SiC 1200V/350A급 전력모듈	7	전력모듈 시제품	실험실

보안과제 및 안전성 검토 여부

○ 해당없음

3. 국내외 기술동향

국내 기술 동향

- R&D 사업을 통해 차세대 전력반도체를 적용한 전력변환 기술개발 및 일부 실증 연구 수행은 진행중이나 이를 활용한 전력모듈 개발은 미진한 상황이며, 모듈 제품의 상당 부분 수입에 의존

국외 기술 동향

- Siemens 등 일부 선진사 및 유럽의 국가 중심으로 신재생 에너지 발전 및 수전해용 전력변환시스템 연계를 위한 다양한 프로젝트 수행과 더불어 최근에는 기가와트급 수전해 기기 생산 가능 공정 설립 등 활발하게 진행 중

4. 지원필요성

기술적 지원필요성

- 국산화 기반 차세대 전력반도체를 신재생 에너지 전력변환 기술에 적용함으로써 국산화 반도체의 신뢰성 및 성능 검증과 국내 신재생에너지 전력변환 기술의 전반적인 국산화 및 기술 내재화를 위한 응용기술 개발 필요

경제적 지원필요성

- 국내 개발 전력변환모듈에 적용된 전력반도체의 대부분은 수입에 의존하고 있음. 모듈의 부품별 비용 중 전력반도체가 차지하는 비율은 약 30~50% 수준으로 국내 전력반도체 공급망 확보와 전력변환모듈의 가격 경쟁력 강화를 위해 국산 소자 기반 전력 모듈 개발 시급

정부/정책적 지원필요성

- 2050년 탄소 중립 달성과 동시에 수소 경제 활성화를 위해서는 장기적으로 그레이 수소에서 그린 수소로의 생산 패러다임 전환이 필요하며 수전해용 전력 모듈

및 이를 탑재한 전원공급모듈 개발 요구

5. 활용방안 및 기대효과

활용방안

- (민간) 1200V급 SiC 전력모듈 국산화 개발을 통한 고효율 수전해 시스템 구축 및 Zero CO₂ 수소 생산을 통한 탄소 중립 실현
- (정책) 그린수소 생태계 구축을 위한 법적 근거 및 제도 정비

기술적 기대효과

- 차세대 전력모듈 국산화 개발을 통한 에너지 자립 및 반도체 공급 불안 해소로 시장 활성화 및 기술경쟁력 제고

경제적 기대효과

- 차세대 전력모듈 국산화 및 상용화를 통한 고성능 전력변환 산업 선도 및 수전해 시스템의 운영 단가 절감, 시스템의 활용, 판매 활성화

기타 사회·문화적 측면의 기대효과 및 파급효과

- 차세대 전력반도체 및 모듈의 국내 개발 인력 확보 및 산학연 공동 연구를 통해 차세대 전력반도체 및 모듈의 지속적인 연구 인력 육성 및 산업계 진출 가능

6. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 11억원 이내(총 정부지원연구개발비 59.3억원 이내)
- 주관연구개발기관 : 영리기관
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

관리번호	2025-화학물전력-지정-일반-04	산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		반도체소자 및 시스템	중전기
혁신도전형	<input type="checkbox"/> 세계최초	<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체		
	미션	첨단 시스템 반도체 강국 도약		
	프로젝트	모빌리티-에너지-가전용 화학물 전력반도체 개발		
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG	<input checked="" type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
과제명	양면방열 SiC 전력모듈 국산화 기반 250kW급 EV 인버터 수요연계 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)			
1. 개념 및 정의				
<input type="checkbox"/> 개념				
○ 전기차 시장 선점과 기술 주도를 위한 양면방열 SiC 전력모듈 국산화 기술개발 및 이를 적용한 250kW급 EV 인버터 수요 연계 기술개발				
<input type="checkbox"/> 정의				
○ 250kW급 EV 인버터 방열성능 극대화를 위한 양면방열 기반 SiC 전력모듈 설계/제작/공정 기술개발				
- 고온동작 기반 고신뢰성 SiC 전력모듈 설계 기술개발				
- SiC 적용 1200V/450A급 양면방열 구조의 SiC 전력모듈 패키징 국산화 기술개발				
- 전력모듈 개발품을 적용한 EV 인버터의 부하 시험평가				
※ 본 과제는 모듈을 개발하는 과제로서 기 개발된 국산 SiC 소자를 활용하는 것을 권고함				
2. 연구목표 및 내용				
<input type="checkbox"/> 최종목표				
○ SiC 소자를 적용한 1200V/450A 전력 모듈 개발을 통하여 EV 인버터의 기술경쟁력과 시장경쟁력의 제고				
○ 정량적목표				

연번	핵심 기술/제품 성능지표	단위	달성목표	국내최고수준	세계최고수준 (보유국, 기업/기관명)
1	SiC 전력모듈 전압/전류 정격	V/A	≥1200/450	-	1200/450 (독일, Infineon)
2	전력모듈 방열 구조	-	양면방열	-	양면방열 (독일, Infineon)
3	기생 인덕턴스	nH	≤6	-	6 (독일, Infineon)
4	AQG-324	-	모듈 인증	-	인증

개발 내용

- 고온동작 기반 고신뢰성 SiC 1200V/450A급 전력모듈 설계 기술
- SiC 고효율 구동 게이트 드라이브 설계 기술
- 1200V급 SiC 전력소자를 적용한 EV 인버터용 3상 450A급 대용량 전력모듈 패키징 기술
- 높은 방열 특성(T_j 175℃ 동작)을 갖는 양면방열 구조의 SiC 전력모듈 패키징 기술
- 전력모듈 개발품을 적용한 250kW급 인버터의 부하 시험평가

TRL 핵심기술요소(CTE)

연번	핵심 기술요소	최종단계	생산수준 또는 결과물	시험평가 환경
1	1200V/450A급 양면방열 기반 SiC 전력모듈	7	전력모듈 시작품	실험실

보안과제 및 안전성 검토 여부

- 해당 사항 없음

3. 국내외 기술동향

국내 기술 동향

- 국내 대기업을 중심으로 양면냉각형 파워모듈이 개발되고 있으나, 현재까지 연구 개발 수준으로 제품 출시는 미흡한 상태

국외 기술 동향

- 독일, 일본, 미국 등을 중심으로 자국내 전력반도체 기업과 완성차 기업의 협업을 통한 실증으로 세계 시장의 영향력이 확대되고 있으며, 많은 필드 데이터를 바탕으로 다양한 형태의 구조로 개발 진행 중

4. 지원필요성

기술적 지원필요성

- 전기차의 수요는 전 세계적으로 급속히 증가하고 있으며, 고효율 전력반도체 모듈 국산화 및 방열 성능 극대화를 통한 전동화 시스템의 기술적 우위 확보를 위한 기술 개발 필요

경제적 지원필요성

- 전기차로의 전환은 국가별 차이는 있으나 대부분 '30~'40년에 전환될 계획으로 치열한 경쟁이 전망되며, 전기차 핵심 부품에 대한 국산화 개발로 가격 경쟁력 및 안정적인 공급망 확보를 통한 전기차 시장의 선점 필요

정부/정책적 지원필요성

- 산업 대전환의 시대의 중요한 역할을 담당하는 전기차 시장 선점과 기술 주도를 위해 전기차 핵심 부품에 대한 정부의 견인 정책 중요

5. 활용방안 및 기대효과

활용방안

- (민간) 250kW급 1200V SiC 전력모듈 개발을 통한 EV 인버터 전력변환 효율 향상 및 탄소 배출 저감 기여
- (정책) xEV 주행거리 확충을 위한 법적 근거 및 제도 정비

기술적 기대효과

- 핵심부품의 국산화 개발을 통한 글로벌 공급망 대응이 가능하고, EV 인버터 요소기술 확보를 통한 기술경쟁력 제고에 기여

경제적 기대효과

- 국산 부품 활용 SiC 전력모듈 개발로 타 산업 분야의 모빌리티 및 다양한 응용 분야에 확대 적용이 가능

기타 사회·문화적 측면의 기대효과 및 파급효과

- 차세대 전력반도체 및 인버터 설계 엔지니어 양성을 통한 전력반도체 기술 육성으로 에너지 절감기술에 대한 선제적 대응이 가능하고 해외기술도입 비용 절감, 해외시장 경쟁력 향상이 가능

규제개선 요구사항

- 해당 사항 없음

6. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 12억원 이내(총 정부지원연구개발비 69.6억원 이내)
- 주관연구개발기관 : 영리기관
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

관리번호	2025-화학물전력-지정-일반-05		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	충전기기
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고		<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당)	분야	반도체			
	미션	첨단 시스템 반도체 강국 도약			
	프로젝트	모빌리티.에너지.가전용 화학물 전력반도체 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input checked="" type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
과제명	50kW급 SiC 전력모듈 국산화 기반 급속 충전기용 파워스택 수요연계 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				
1. 개념 및 정의					
<input type="checkbox"/> 개념					
○ 국산 SiC 전력반도체를 활용하여 50kW급 이상의 1200V급 SiC 전력모듈 설계 기술 고도화와 국산 전력모듈 실증을 위한 고효율 급속충전기용 파워스택 개발 및 성능 평가					
<input type="checkbox"/> 정의					
○ 국산 SiC 전력반도체 기반 50kW급 충전기 파워스택용 전력모듈 패키징 기술개발 - 기생 인덕턴스 최소화 및 고신뢰성 충전기 파워스택용 전력모듈 국산화 기술개발 ○ 국산 SiC 전력모듈 기반의 고효율 급속충전기용 파워스택 개발 및 성능평가 - 개발 전력모듈 적용 96% 이상 고효율 충전용 파워스택 개발 및 부하 시험 평가 ※ 본 과제는 모듈을 개발하는 과제로서 기 개발된 국산 SiC 소자를 활용하는 것을 권고함					
2. 연구목표 및 내용					
<input type="checkbox"/> 최종목표					
○ 국산 SiC 전력반도체 기반의 전력모듈 패키징 국산화 기술개발 및 이를 적용한 고효율 급속 충전기용 파워스택 개발 및 성능평가					
○ 정량적목표					

연번	핵심 기술/제품 성능지표		단위	달성목표	국내최고수준	세계최고수준 (보유국, 기업/기관명)
1	SiC 전력모듈(3상)	전압/전류 정격	V/A	≥1200/150	-	1200/200 (미국, Wolfspeed)
2	SiC 전력모듈(풀-브릿지)	전압/전류 정격	V/A	≥1200/150	-	1200/200 (미국, Wolfspeed)
3	JEDEC(JESD22 및 JEP)		-	모듈 인증	-	인증
4	충전기 파워스택	최대효율	%	≥97	95	97 (이탈리아, Alpitronic)

개발 내용

- 충전기 파워스택용 SiC 기반 전력모듈 국산화 기술
 - 국산 1200V급 SiC 전력반도체를 적용한 3상 150A이상급 전력모듈 패키징 기술
 - 국산 1200V급 SiC 전력반도체를 적용한 풀-브릿지 구조의 150A이상급 전력모듈 패키징 기술
 - 충전기 파워스택 적용을 고려한 모듈 신뢰성 국제 규격 (JEDEC, IEC 등) 인증
- SiC 전력모듈 개발품을 적용한 고효율 급속충전기용 파워스택 개발 및 성능평가
 - 국산 SiC 전력반도체에 최적화된 저손실 게이트 드라이브 기술 개발
 - 국산 전력모듈을 적용한 넓은 출력 범위(150V~1000V)를 갖는 고밀도 50kW급 충전기 파워스택 개발 및 부하 시험 평가

TRL 핵심기술요소(CTE)

연번	핵심 기술요소	최종단계	생산수준 또는 결과물	시험평가 환경
1	국산 SiC 기반 전력모듈(3상)	7	전력모듈 시작품	실험실
2	국산 SiC 기반 전력모듈(풀-브릿지)	7	전력모듈 시작품	실험실

보안과제 및 안전성 검토 여부

- 해당사항 없음

3. 국내외 기술동향

국내 기술 동향

- 전기차 충전 인프라의 중요성이 높아지고 급속 충전의 수요가 높아짐에 따라 국내 중소, 중견 기업을 중심으로 충전용 파워스택 국산화 개발이 이루어지고 있지만, 현재까지 중국의 저가형 파워스택이 대부분 수입되고 있는 실정

국외 기술 동향

- 기존 30kW급 충전용 파워스택의 용량이 50kW 이상급으로 증대되고 있으며, 높은 전압과 고효율의 전력 변환이 가능한 SiC 기반의 전력모듈을 채택한 급속 충전 파워스택 개발이 진행되고 있음.

4. 지원필요성

기술적 지원필요성

- 국내 전력반도체 개발 기업은 대부분 중소·중견 기업으로, 해외 선진사에서 주도하고 있는 차세대 전력반도체의 기술 격차를 좁히고 주도권을 확보하기 위해선 정부 주도의 지원이 절실히 필요

경제적 지원필요성

- 민간 공동연구로 차세대 전력반도체 국산화 사업이 이루어졌지만 소비자의 국산 전력반도체에 대한 신뢰성 부족으로 시장 점유율이 낮은 실정임. 정부 주도의 국산 전력반도체를 적용한 시스템 개발로 트랙 레코드 확보 필요

정부/정책적 지원필요성

- 차세대 전력반도체 기술개발은 현 정부의 반도체 초강대국 달성 전략 이행의 핵심 수단으로 인식되고 있음(산업통상자원부, '22.7)

5. 활용방안 및 기대효과

활용방안

- (전력모듈) 국내 전력반도체 및 전력모듈 패키징 관련 업체
- (EV 충전 인프라) SiC 기반 전력반도체 및 xEV 부품 업체 국산화 추진 기업

기술적 기대효과

- 충전용 파워스택에 최적화된 차세대 전력변환 모듈의 선제적 기술개발을 통해 핵심 제조 및 패키징 분야 기술의 선진국과의 기술격차 감소

경제적 기대효과

- 충전기 파워스택의 국산화를 통해 해외 저가형 파워스택을 대체하여 국내 충전기 시장의 신뢰성 향상 및 안정화 가능

6. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 12억원 이내(총 정부지원연구개발비 62.4억원 이내)
- 주관연구개발기관 : 영리기관
- 기술료 징수여부 : 징수
- 기타 : 수요기업 참여 필수

5

반도체첨단패키징선도기술개발 (기술선도형첨단패키징기술개발)

품목번호	2025-기술선도형-품목-일반-01		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	산업수요연계 칩렛 패키징용 ML (Machine Learning) 기반 설계 최적화, 고밀도 배선 공정 및 신호 무결성 검증 솔루션 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- 고성능 컴퓨팅(HPC) 시스템의 성능을 극대화하기 위해 고속 데이터 전송 속도와 높은 대역폭을 지원하는 신호 무결성 칩렛 패키지 기술이 필요함에 따라, 고속 데이터 전송 시 발생할 수 있는 신호 왜곡과 전력 손실을 최소화하여 칩 간 연결 안정성을 유지하고 데이터 전송의 효율성을 높이는 칩렛 패키지 구조 설계 및 최적화, 인터포저 공정, SI (Signal Integrity) 검증 솔루션 개발

※ 핵심 목표 : 초고속 데이터 전송용 칩렛 패키지 설계 및 검증 솔루션 개발 (64Gbps/ch, 2,634GB/s/mm) (세계 최고수준)

개발내용

- 64Gbps/ch 기반 2,634GB/s/mm급 무결성 칩렛 패키지 설계 기술 개발
- Multi-physics를 고려한 칩렛 패키지 통합 설계 및 모델링 기술 개발
- 칩렛 패키지 설계 검증을 위한 SI/PI 해석 기술 솔루션 개발
- ML (Machine Learning) 기반 Neural Network를 이용한 고속 패키지 설계 최적화 및 성능 시뮬레이터 개발
- 칩렛 패키지 설계 검증용 2.xD/2.5D 인터포저 (Si, Glass, Organic 인터포저 중 2종 이상) 공정 기술 개발
- 2,634GB/s/mm용 미세 배선 및 다층 공정 기술 개발

○ 칩렛 패키지 검증용 Test Vehicle 개발 및 측정 기술/시스템 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 시뮬레이터 Eye-pattern 정확도(%), 최대 전송 속도(Gbps/ch), RDL 최소선폭 및 간격(um), RDL 수(층)

2. 지원 필요성

지원필요성

- **(정책적 측면)** 미국, 대만의 선진 기업 및 기관에서는 초고속 인터페이스와 칩렛 패키지 기술을 통해 글로벌 AI 및 반도체 시장에서 기술 우위를 확보하고 있음. 첨단 패키징 산업의 경쟁력을 강화하고 글로벌 기술 격차를 줄이기 위해 정부와 민간 차원의 적극적인 지원과 연구 개발이 요구됨
- **(기술적 측면)** 고성능 칩렛 인터페이스는 AI 및 고성능 컴퓨팅에 필수적인 요소로, UCle-A 표준에서 제시하는 1,317GB/s/mm급 데이터 전송 기술은 초고속 인터페이스 구현에 유리하여 다양한 반도체 응용에 적용될 가능성이 큼. 현재 NVIDIA, Eliyan 등의 선진 기술과 경쟁하기 위해 국내에서도 이에 상응하는 칩렛 패키지 기술 개발이 필요함
- **(시장적 측면)** 고성능 칩렛 패키지 기술의 수요가 고성장하고 있으며, 2024년 Yole 보고서에 따르면 하이엔드 패키징 시장은 연간 37%의 성장이 예상되며, 2029년까지 약 290억 달러 규모에 이를 전망이다. 국내 기업들도 칩렛 패키지 기술 선점 및 시장 확대를 통해 글로벌 경쟁력을 확보해야 함.
- **(사회적 측면)** 초고속 칩렛 패키지 기술은 AI, 모바일, 자율 주행 등의 첨단 기술 응용을 지원함으로써 경제적·사회적 파급효과가 클 것으로 기대됨. 특히 반도체 산업의 핵심 기술력으로 자리 잡아 관련 분야에서의 고용 창출과 더불어 글로벌 경쟁력을 높이기 위한 연구 및 기술 개발 지원이 필수적임.

3. 활용분야

활용분야

- AI, 데이터 센터, 클라우드 시스템 등의 고성능 컴퓨팅 산업 분야
- 칩렛 패키지 기반 하이엔드 고성능 모바일 및 IoT 디바이스 산업 분야

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 12.75억원 이내(총 정부지원연구개발비 57.75억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

품목번호	2025-기술선도형-품목-일반-02	산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형	반도체소자 및 시스템		
혁신도전형	<input type="checkbox"/> 세계최초	<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체		
	미션	글로벌 Top 10 첨단 후공정 기업육성		
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발		
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>	<input type="checkbox"/>		
품목명	산업수요연계 Warpage를 최소화하는 3차원 저온 저압 칩렛 적층 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념				
<ul style="list-style-type: none"> ○ 이종 집적 기술이 발전함에 따라 인터포저 위에 칩을 평면으로 집적하는 2.5D 기술의 다음 단계로 칩을 3차원으로 집적하는 3D 패키지 기술을 개발하고자, 하이브리드 본딩과 열압착(TC) 기술을 복합적으로 사용하여 칩을 3차원으로 적층하고 이 때 발생하는 warpage를 최소화하고 접합 신뢰성을 확보하는 기술 개발 * 3D 적층 시 TC 본딩을 기본으로 하이브리드 본딩의 동시 적용 가능성 포함 				
<p>※ 핵심 목표 : warpage 최소화 저온 저압 3차원 다단 적층 기술 (세계 최고 수준)</p> <p>* 인텔 EMIB 3.5D 3차원 다단 적층기술 참조</p>				
<input type="checkbox"/> 개발내용				
<ul style="list-style-type: none"> ○ 3차원 적층 공정 기술 <ul style="list-style-type: none"> - 저온, 저압 TC 본딩 공정 기술 - 저온 하이브리드 본딩 기술 ○ 3차원 적층 본딩 과정에서 상호 간섭으로 인한 warpage 최소화 기술 <ul style="list-style-type: none"> - 다양한 다이 두께로 인한 warpage 최소화 설계 - 하이브리드와 TC 본딩 시 상호 열간섭으로 인한 warpage 최소화 - 3차원 적층 구조에서의 warpage 측정 평가 기술 ○ 3차원 적층 칩의 접착력 및 신뢰성 평가 기술 <ul style="list-style-type: none"> - 3차원 적층 칩에 대한 in-situ 접착력 평가 기술 				

- 3차원 적층 구조의 신뢰성 평가 기술
- 3차원 적층 공정에서의 언더필 및 클리닝 공정 기술
- 3차원 구조에서의 언더필 공정 및 소재 기술
- 3차원 적층 공정의 전처리 및 클리닝 공정 기술

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 적층 층수(층), 범프 pitch(μm), 본딩 온도(°C), warpage(μm), 접착력(J/m2), 적층 신뢰성 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 인공지능, 자율주행 등 새로운 산업혁명에 대응하고 메모리에 편중되어 있는 국내 반도체 산업의 균형발전을 위해 정책적으로 AI 중심의 시스템 반도체 산업을 육성할 필요가 있음. 현재 고성능 시스템 반도체는 모두 첨단 패키징 기술을 기반으로 하고 있어 국내 파운드리와 OSAT의 첨단 패키징 기술의 육성이 필요함
- **(기술적 측면)** 이종 소자와 칩렛/인터포저의 3D 다층 적층 기술의 선도적 개발로 글로벌 기술 주도권 확보가 가능하며 3D 적층 기술은 개발 초기 시점으로 원천 기술 확보가 유리하며 원천기술을 통한 글로벌 벨류체인의 중요한 역할 가능
- **(시장적 측면)** 2023년 기준 3D 패키지 시장은 약 5,097억 달러 규모로 평가되며, 2024년부터 2032년까지 연평균 성장률(CAGR) 약 8.75%로 성장할 것으로 예상되며, 반도체 소부장사의 다양한 업체가 3D 반도체 패키징 기술 확대에 따른 혜택을 받을 것으로 예상되어 국내 소부장업체들이 첨단 기술력 확보와 이를 통한 경쟁력의 제고가 필요함
- **(사회적 측면)** 해외 글로벌 기업이 독점하고 있는 AI 반도체, 자율 주행 AP 등 고부가가치 고성능 첨단 시스템 반도체 산업 진입 및 시장 선도 기반 마련

3. 활용분야

활용분야

- AI 및 HPC 등 고성능 시스템 반도체
- PIM 등 신개념 메모리

4. 지원기간/예산/추진체계

- **연구개발기간** : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 15억원 이내(총 정부지원연구개발비 75억원 이내)
- **주관연구개발기관** : 중소·중견 기업
- **기술료 징수여부** : 징수

품목번호	2025-기술선도형-품목-일반-03		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	산업수요연계 HBM 고성능 반도체 초고집적 하이브리드본딩 스택장비 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ HBM 메모리 패키지 적층 수 증가, 범프간 피치 감소에 따른 고집적화 한계를 극복 위해 기존 마이크로 범프 본딩 방식과 달리 범프 없이 초미세 피치로 초박형 칩을 웨이퍼 기판에 정밀 정렬하여 3D 스택하는 하이브리드 본딩 장비 개발 * HBM 메모리 고성능화로 패키징 기술이 기존 마이크로 범프 접속기술에서 범프없이 적층하여 두께, 발열성능, 집적화를 획기적으로 향상 가능한 하이브리드 본딩공정으로 전환 요구 					
※ 핵심 목표 : 다이 정렬 정밀도 ± 200 nm 이하 (세계 최고수준)					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 고성능 HBM 메모리 초고집적(± 200 nm급) 하이브리드 본딩 스택장비 개발 ○ 정밀 Force 제어 및 다이 pick&place 시 충격량 최소화 본딩헤드 개발 ○ 클린도 ISO3를 갖는 초청정/고생산/초정밀 Pick & Placement 센터리 및 오차 보정 기술 개발 ○ 칩과 대면적 웨이퍼 기판 정밀 정렬과 3D 스택 대응 비전 광학계 설계 개발 ○ 하이브리드 본딩 접합부 결합 억제 및 이물 저감 본딩툴 설계/분석 기술 ○ 초박형 다이 대응 다이 고속 이젝터 및 픽업 기술 ○ ±200nm급 극한 정밀도 하이브리드 본딩 스택 통합장비 개발 및 핵심기술 검증 ○ 수요연계 또는 수요환경에서의 테스트 웨이퍼 활용 공정평가 통한 신뢰성 검증 					

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 생산성 UPH(Unit per hour), 설비내 청정도(ISO), 핸들링 다이 두께 (μm) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 정부는 산업의 초격차 성장을 견인하기 위해 산업대전환 초격차 프로젝트를 발표하였고, 특히 반도체 첨단 패키징용 핵심기반기술 개발을 집중 지원할 예정이며 본 기술은 고성능 AI 반도체 선도를 위한 첨단 패키징 핵심 장비 기술로 정부정책과 부합됨
- **(기술적 측면)** HBM 메모리 및 시스템 반도체 고성능화 한계로 향후 첨단 패키지 분당 공정기술은 기존 마이크로범프 분당방식에서 초미세 피치 구현이 가능한 하이브리드 분당으로 변환 요구됨에 따라 관련 핵심 제조 장비 원천기술 확보 필요
- **(시장적 측면)** 데이터센터의 고성능 컴퓨팅, AI 반도체, 에지컴퓨팅, 자율주행차 등과 같이 고성능이 요구되는 첨단 메모리 및 시스템 반도체 패키징 시장 급성장 예상되며, 관련 분당 장비 시장도 동반 성장 예상
- **(사회적 측면)** 하이브리드분당 스택장비 기술은 AI, 모바일, 자율 주행 등의 첨단 기술 응용을 지원함으로써 경제적·사회적 파급효과가 클 것으로 기대됨. 특히 반도체 산업의 핵심 기술력으로 자리 잡아 관련 분야에서의 고용 창출과 더불어 글로벌 경쟁력을 높이기 위한 연구 및 기술 개발 지원이 필수적임

3. 활용분야

활용분야

- 3D 고성능 HBM 메모리를 3차원으로 정밀 스택 조립하는 패키징 공정에 활용
- 데이터센터 고성능 GPU 및 CPU, 자율주행차 AP, 차세대 모바일 AP, AI 반도체 등 고성능, 다기능 요구되는 2.5D/3D 시스템 반도체 패키징 분야 확대 적용 가능
- 초고난이도 기술로 초정밀 조립이 요구되는 다양한 반도체 후공정 조립장비의 기반기술로 활용

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 15억원 이내(총 정부지원연구개발비 75억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

품목번호	2025-기술선도형-품목-일반-04		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스텝형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>				
품목명	산업수요연계 수동소자와 브릿지 다이를 내장하는 재배선 인터포저 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 다양한 이중 반도체 칩과 커패시터와 같은 수동 소자를 하나의 패키지로 통합하여 신호 손실 없이 고속 대용량 데이터 처리를 가능하게 하는 동시에 경제성을 확보하기 위하여 기존의 실리콘 인터포저보다 대형화와 경제성에서 유리한 재배선 인터포저 내에 신호와 전력 무결성을 위한 수동소자와 고밀도 고속 이중집적을 위한 브릿지 다이를 내장하는 기술 개발 * 유기 기판, 팬 아웃 패키지, 패널 레벨 패키지 등 다양한 기술을 적용할 수 있음 					
<p>※ 핵심 목표 : 커패시터와 브릿지를 내장한 6층 이상 구리 재배선 인터포저 (세계 최고수준)</p>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 2μm/2μm 배선 밀도를 갖는 6층 이상의 다층 구리 재배선 제작 <ul style="list-style-type: none"> - 최소 2μm/2μm의 선폭/간격(L/S)을 갖는 다층 구리 배선 형성 기술 개발 - 높은 절연 저항 특성과 이중 소재 간 접착 신뢰성을 가지는 절연층 소재 개발 - 재배선 층간 평탄화 기술 및 비아 제작 기술 ○ 다층 구리 재배선 내 수동소자 내장 기술 <ul style="list-style-type: none"> - 다층 재배선 내 수동소자용 cavity 형성 기술 - 수동소자 실장 및 배선 연결 기술 - 공정 중 수동소자 실장 불량 평가 및 검증 기술 					

- 다층 구리 재배선 내 브릿지 다이 내장 기술
- 다층 재배선 내 브릿지 다이용 cavity 형성 기술
- 브릿지 다이 고정밀 실장 기술
- 브릿지 다이 배선 연결 기술

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 구리 재배선 증수(층), 절연소재 특성(열팽창률 ppm/°C, 유전상수 등), 수동소자/브릿지 다이 실장 정밀도 (um) 등

2. 지원 필요성

지원필요성

- (정책적 측면) 인공지능, 자율주행 등 새로운 산업혁명에 대응하고 메모리에 편중되어 있는 국내 반도체 산업의 균형발전을 위해 정책적으로 AI 중심의 시스템 반도체 산업을 육성할 필요가 있음. 현재 고성능 시스템 반도체는 모두 첨단 패키징 기술을 기반으로 하고 있어 국내 파운드리와 OSAT의 첨단 패키징 기술의 육성이 필요함
- (기술적 측면) 재배선 인터포저는 기존의 실리콘 인터포저 대비 경제성과 대면적화의 장점이 있을 뿐 아니라 이종 소자의 내장이 용이하여, 브릿지 다이와 수동 소자 내장 등을 통해 고밀도 고속 이종 집적과 신호 전력 무결성을 가능하게 하여 기술적 차별성을 확보할 수 있음
- (시장적 측면) 유기 인터포저는 기존 실리콘 인터포저와 동등 수준의 공정 능력과 신뢰성, 수율 달성 시 생산 비용이 75% 이상 절감되어 높은 가격 경쟁력을 가질 뿐 아니라 차량용 인포테인먼트, 센서 통합, 통신, 사물 인터넷용 디바이스 등 저가용 패키지에도 적용 가능하여 높은 시장 경쟁력을 갖고 있음
- (사회적 측면) 수동소자 내장형 재배선 인터포저는 요소 기술과 제품화 개발 요구 수준이 상당히 높아 개발 완료 시 다른 제품군에도 기술 확산이 가능하며, 차량용 반도체, 다양한 센서 시스템 등 다양한 응용 제품의 개발이 가능해져 국내 기판 산업 외에도 관련 전자산업 전반에 새로운 시장 창출을 가능하게 함

3. 활용분야

활용분야

- AI 고성능 연산용 시스템 반도체
- 차량용 인포테인먼트, 센서 통합, 통신, 사물 인터넷용 디바이스 등

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 15억원 이내(총 정부지원연구개발비 75억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

품목번호	2025-기술선도형-품목-일반-05		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립	ESG		<input type="checkbox"/>	<input type="checkbox"/>
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	산업수요연계 600x600mm ² 대면적 글래스 기판용 고단차 TGV 금속 증착 장비 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- 대면적 글래스 기판에서 종횡비 10:1 이상의 Through Glass Via(TGV)를 구현하기 위해 고정밀 증착 기술이 필요함에 따라 510×515mm² 이상의 대면적 기판에 균일한 두께와 우수한 step coverage를 갖춘 TGV용 금속 증착 장비 개발

※ 핵심 목표 : 대면적 글래스 기판 (510x515mm² 이상)에서의 고종횡비 (10:1) TGV용 금속 증착 장비 개발 (세계 최고수준)

개발내용

- 대면적 글래스 기판용 Seed Layer 물리적 기상증착(PVD) 장비 개발
 - 면적 510×515mm² 이상 글래스 기판에 최적화된 PVD 전극·타겟·챔버 구조 설계 및 실증
 - TGV 종횡비 10:1 이상, 균일도 5% 이내, Step coverage ≥20% 고정밀 증착 기술 확보
 - 대면적 Thin 글래스 양면 증착을 위한 글래스 Handling Module 개발
 - PVD 공정 장비 내부 실시간 모니터링이 가능한 인터페이스 구축
- 대면적 글래스 TGV 기판 증착 공정용 지능형(AI) 시스템 개발
 - OES(Optical Emission Spectroscopy), ToF-MS(Time of Flight Mass spectrometry) 등 기술 기반 공정 모니터링 임베디드 시스템 구축 및 고장예지·공정제어 기술 개발
 - MI (Measurement & Inspection), OES, TOF-MS 데이터 연계 이상진단 AI 솔루션 개발
- 대면적 글래스 TGV Seed Layer 증착 신뢰성 및 양산성 검증
 - Glass 기판 두께 및 TGV 형상에 따른 금속 증착 품질 및 Via Filling 특성 평가
 - 금속 증착 및 Filling/도금 후 비전 검사, 비접촉식 전도성 검사 등을 통한 품질 평가

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 글래스 기판 면적 (mm²), TGV 증착 금속 중량비, AI 솔루션 수(ea), Step Coverage (%) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 첨단 반도체 패키징의 고부가가치화와 자립도 향상을 위해 정부와 민간의 적극적인 협력과 지원이 필요하며, 이를 통해 국가적 차원의 기술 자립도를 높이고, 글로벌 반도체 시장에서 경쟁력을 강화할 수 있음
- **(기술적 측면)** 대면적, 고중량비 TGV 글래스 기판 기술이 차세대 반도체 패키징의 핵심 기술로, 고성능·고밀도 패키지 구현을 가능하게 함. 특히, 대면적에서 균일한 seed layer 증착은 기술 난이도가 높아, 이를 선제적으로 확보하는 것이 글로벌 경쟁에서 우위를 점하는 데 중요한 요소임
- **(시장적 측면)** 5G, AI, 고성능 컴퓨팅 등의 시장 확대로 대면적 글래스 기판을 활용한 고밀도 패키징 기술 수요가 급증할 것으로 예상됨. 이와 같은 성장세에 대응하여, 국내 자립도를 높이고 해외 의존도가 높은 고밀도 패키징 부품 및 장비의 국산화를 통해 시장 선점을 위한 기술적 지원이 요구됨
- **(사회적 측면)** 고성능 전자기기와 통신 인프라의 수요 증가에 맞춰 안정적 공급망을 구축하는 것이 필수적이며, 첨단 기술 응용을 지원하는 반도체 패키징 기술은 일자리 창출과 연구개발 인력 양성으로 이어져 산업의 지속 가능성을 높이는 데 기여할 것임

3. 활용분야

활용분야

- AI, 데이터 센터 등 고성능 컴퓨팅 산업 분야
- 5G/6G 통신 및 전장 반도체 산업 분야

4. 지원기간/예산/추진체계

- **연구개발기간** : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 15억원 이내(총 정부지원연구개발비 75억원 이내)
- **주관연구개발기관** : 중소·중견 기업
- **기술료 징수여부** : 징수

품목번호	2025-기술선도형-품목-일반-06		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> <input type="checkbox"/>		<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스텝형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	산업수요연계 첨단 반도체 패키징용 멀티스케일 패턴 도금 소재-공정-장비 혁신제품형 기술개발				
	TRL : [시작] 4단계 ~ [종료] 7단계				

1. 개념 및 개발내용

개념

- 2.xD/3D IC 반도체 패키지개발을 위해, signal integrity/power integrity의 최적화를 위해, 반도체용 배선으로 사용되는 구리 배선(line/spacing, via)의 멀티스케일 패턴에 대한 전기도금 공정 개발의 필요성이 대두되고 있음. 예를들어, 신호전달, 전력전달 등 용도에 따른 배선의 디멘전이 다른 경우에 단일 증착공정으로 멀티스케일의 line width, Via height 등을 filling 할 수 있는 공정비용절감이 가능한 소재-공정-장비 최적화 기술개발
- 멀티스케일의 패턴에서는 유속과 첨가제 확산, 전류밀도 등에 의해 구리 미세조직이 바뀌는 등의 특징으로 도금 장비의 제어 변수가 중요하며, 특히, 멀티스케일 패턴에 적합한 첨가제와 함께 유동 및 전기장 제어가 가능한 고생상성 도금장비 개발이 요구됨
- 멀티스케일 구리패턴 제작에는 다양한 디멘전(width, depth 등)의 구리 표면에서 유기첨가제의 흡착 특성이 중요하기 때문에 최적의 소재기술이 요구됨
- 멀티스케일 패턴도금 소재-공정-장비기술 개발의 가속화를 위해 도금장비 유동 시뮬레이션과 첨가제 흡착을 고려한 멀티스케일 도금 시뮬레이션 기술이 함께 요구됨

※ 핵심 목표 : 멀티스케일 패턴 도금 소재-공정-장비 개발 (세계 최고수준)

개발내용

- 멀티스케일 패턴 고정밀도 도금 장비 개발 (8인치 이상, high throughput)
 - 웨이퍼 로딩 자동화 모듈개발
 - 쉴드, 패들 일체형 도금조 모듈개발
 - 멀티스케일 패턴 도금을 위한 유동 및 전기장 복합 해석 기술
- 고평탄도 멀티스케일 패턴 공정 개발 (평탄도*, 두께 균일도**)
 - 수평 멀티스케일 라인패턴 전착 (예시: line width (2-100 μ m) 패턴 동시 전착)
 - 수직 멀티스케일 via 패턴 전착 (예시: Via depth (10-15 μ m), via diameter (10-100 μ m) 동시 전착, 종횡비(1-2))
 - 멀티스케일 Through Si Via 전착 (예시: diameter (10 ~ 30 μ m), 종횡비 5 ~ 10 동시 전착) (필요시, 연차/단계별 목표 제시)
 - * 평탄도: 패턴 중심부에 대한 가장자리의 두께 편차, **두께 균일도: 패턴 중심부의 두께 균일도
- 미세조직 제어용 도금 공정 및 용액 개발
 - 멀티스케일 패턴 구리도금을 위한 첨가제 개발*
 - * 무결함 filling을 위한 전해도금 용 첨가제 design 및 합성 기술, 첨가제 거동의 전기화학 분석을 통한 filling mechanism 해석 기술, 전기화학, 물질 전달, 유체 역학 기반 filling simulation 기술, 멀티스케일 패턴 도금을 미세조직 제어 기술 등

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 멀티스케일 패턴 범위(line width, via depth & aspect ratio), 도금 평탄도, 두께 균일도, wafer size/WPH (wafers per hour) 등

2. 지원 필요성

지원필요성

- (정책적 측면) 인공지능, 자율주행 등 새로운 산업혁명에 대응하고 메모리에 편중되어 있는 국내 반도체 산업의 균형발전을 위해 정책적으로 AI 중심의 시스템 반도체 산업을 육성할 필요가 있음. 현재 고성능 시스템 반도체는 모두 첨단 패키징 기술을 기반으로 하고 있어 국내 파운드리와 OSAT의 첨단 패키징 기술의 육성이 필요함
- (기술적 측면) 멀티스케일 패턴에 대한 유동, 전기장의 융합해석 기술로 장비 설계 및 제작 기술 확보로 기술혁신 및 대면적 미세조직 제어 가능하고 제조 신뢰성을 갖는 도금 소재 및 공정 기술(고균일성, 고평탄화, 고충진율) 개발로 Cu 도금소재 국산화 및 장비 회사, 수요기업과 상생 협력 마련필요
- (시장적 측면) 반도체 공정 장비 중 리소그라피와 함께 국산화가 되어 있지 않은 도금장비의 내재화로 무역수지 개선 및 국내 반도체 산업의 제조 경쟁력의 확보 및 Cu 도금소재 개발로 수입 의존도를 줄이고, 비용 절감과 국내기업 경쟁력 강화 필요
- (사회적 측면) 도금소재-공정-장비의 세계일류 국산화로 신규 일자리 창출 기여 및 국산화를 통해 공급망 안정성을 높여 사회적 리스크 감소

3. 활용분야

- Cu 도금기술은 반도체, 디스플레이, PCB 의 전략산업에서 이용되는 필수 핵심기술로서 각광받고 있으므로, 고수율 Cu 도금 공정기술을 확보함으로써 이들 전략 산업에 신속한 적용이 가능함
- 전량 수입에 의존하고 있는 Cu 도금액의 국산화를 통해 수요기업의 경제적, 기술적 성장을 이끌어 냄으로써 일자리 창출 및 내수시장의 활성화 효과를 가져올 것으로 예상됨

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 15억원 이내(총 정부지원연구개발비 75억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

6 반도체첨단패키징선도기술개발 (기술자립형첨단패키징기술개발)

품목번호	2025-기술자립형-품목-일반-09		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/> <input type="checkbox"/>		<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/>	<input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	시장수요연계 팬아웃 웨이퍼레벨용 감광성 절연소재 및 배선 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

- 개념**
- 웨이퍼레벨 팬아웃 패키징 공정에서 다층 배선 층간에 사용되는 고해상도 저손실 감광성 절연소재개발
 - 기존 감광성 절연막 소재의 열팽창계수와 유전손실 한계를 뛰어넘는 고신뢰성·저유전율 감광성 절연소재 조성 개발
 - 팬아웃웨이퍼 레벨 혹은 웨이퍼 레벨 패키지의 저손실 재배선 구조 구현을 위한 다층 감광성 절연 소재
 - 수직 연결부 구현을 위한 해상도 3 μ m 이하급 고해상도 절연 소재 설계
 - 팬아웃 패키징 재배선 공정기술
 - 300mm급 웨이퍼 기반의 다층 초미세 재배선 공정 기술
 - 감광성 절연소재를 이용한 배선 설계 및 형성된 배선의 신호품질 평가 기술
 - * 재배선 신호품질 확보를 위한 소재 및 공정기술 포함
- ※ 핵심 목표 : 35ppm/°C 이하수준의 저 열팽창계수 감광성 소재 구현 (세계최고수준)**

- 개발내용**
- 웨이퍼레벨 패키지용 감광성 절연소재 개발
 - 수직연결부 집적도 향상을 위한 고해상도, 저수축률 감광성 절연소재 개발

- 저유전율/저손실 소재 조성 확보
- 배선층과의 신뢰성 확보 및 신호품질 확보를 위한 표면 제어기술
- 패키지 레벨에서의 응력 감소를 위한 저열팽창계수 및 저탄성계수 조성 설계
- 팬아웃웨이퍼레벨 패키징 기반의 배선 공정 및 평가 기술 개발
 - 다층 재배선 공정 구현을 위한 감광성 절연소재 코팅 및 평가
 - 2 μ m/2 μ m 이하급 배선 형성을 위한 표면 평탄도 확보 및 도금 공정기술 개발
 - 고품질 패키지 구조 구현을 위한 배선 설계 및 시뮬레이션 기술
 - 배선 밀도, 신호·전원단 배치, 그리고 비아구조에 따른 신호품질 평가 기술
 - * 배선 pitch, 절연막 특성에 따른 신호무결성 평가 및 향상 기술 포함.
 - 다층 재배선 패키지 구조에서의 성능평가 및 신뢰성 확보

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 배선폭(μ m), 절연소재 해상도(μ m), 유전율/유전손실, 열팽창계수 α_1/α_2 (ppm/°C), 기계적특성(접착력,탄성계수, 연신율등), 패키지레벨 신뢰성 평가 방법(JEDEC등) 등

2. 지원 필요성

- 지원필요성**
- **(정책적 측면)** 일본업체에 의해 장악되어 있는 웨이퍼레벨패키징용 감광성 절연소재 국산화를 통해 기술 안보 확보 및 안정적인 소재 공급을 통한 첨단 패키징 생태계 구성에 기여
 - **(기술적 측면)** 팬아웃웨이퍼레벨 패키지는 선별된 이중 KGD(known good die)들을 저렴한 비용으로 집적도 있게 구현할수 있는 기술임. FOWLP의 신호 전달 속도를 높이고, 전력 소모를 줄이기 위해서는 저유전율 소재가 필수적이나 이러한 소재는 종종 열 안정성이나 기계적 강도가 낮은 문제를 안고 있어, 이를 개선하기 위한 연구개발이 필요
 - **(시장적 측면)** 웨이퍼레벨 배선 기술 혹은 RDL(re- distributed layer) 인터포저 핵심 기술확보로 로 설계, 시뮬레이션, 배선 적층 기술, 신뢰성 평가 기술 등에 대한 국내 기술로의 내재화가 기대되며 인공지능 칩셋이 탑재된 온디바이스 AI 응용 시장 진입을 위한 소재 기술 확보 필요
 - **(사회적 측면)** RDL 핵심소재인 감광성 절연소재 시장 신규 진입으로 인한 시장 창출과 적용 산업분야에서의 산업혁신 촉진 및 웨이퍼레벨 패키지 소재를 적용하는 응용산업 경쟁력 강화를 통한 산업 생태계 구축 및 신성장 동력 확보 필요

3. 활용분야

- 활용분야**
- 웨이퍼레벨, 2.XD, 3D 등 다양한 Advanced 패키지 재배선 구현을 위한 절연층 소재로 사용가능
 - 팬아웃 웨이퍼레벨 패키징용 고집적 재배선 소재

- 웨이퍼레벨 인터포저용 고속 재배선 소재
- 이종 IC 집적을 위한 co package 재배선
- 프로세서와 HBM 집적을 위한 팬아웃 패키지용 고속 인터페이스 재배선 소재
- 온디바이스 AI의 인터페이스 성능 향상을 위한 팬아웃 웨이퍼레벨 패키징

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 9억원 이내(총 정부지원연구개발비 45억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

품목번호	2025-기술자립형-품목-일반-10		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당)	분야	반도체			
	미션	글로벌 Top 10 첨단 후공정 기업육성			
	프로젝트	반도체 첨단패키징용 핵심기반기술 개발			
연계유형	<input type="checkbox"/>	<input type="checkbox"/>	<input type="checkbox"/> 디자인연계	<input type="checkbox"/> 표준연계	<input checked="" type="checkbox"/> 해당없음
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제	<input type="checkbox"/> 국가핵심기술	<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형	<input type="checkbox"/> 서비스형	<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄	<input type="checkbox"/> 챌린지 트랙	<input type="checkbox"/> 초고난도 과제
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/>	<input type="checkbox"/>
R&D 자율성트랙	<input checked="" type="checkbox"/>		<input type="checkbox"/>		
품목명	시장수요연계 대면적 빌드업 필름 소재 및 초미세패턴 공정 혁신제품형 기술개발				
	(TRL : [시작] 4단계 ~ [종료] 7단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
○ 플립칩 BGA 패키지 기관에서 0.002이하의 낮은 유전손실을 가지며 초미세패턴의 구현이 가능한 다층 빌드업 기관 소재 및 공정 기술개발					
※ 핵심 목표 : 유전손실(Df) 0.002 이하의 플립칩용 빌드업필름 소재 개발 (세계 최고수준)					
<input type="checkbox"/> 개발내용					
○ 낮은 열팽창계수 및 저유전율 다층 빌드업 기관 소재 개발					
- 신호품질 향상을 위한 저유전율·저유전손실 다층 기관 혹은 인터포저용 절연소재 개발					
- 나노필러 배합을 위한 분산 및 폴리머 조성 확보					
- 저조도, 고신뢰성 확보를 위한 조성 확보					
○ 초미세패턴 구현 및 평가 기술 개발					
- 빌드업 필름을 이용한 5/5 μm 이하급 플립칩 기관 배선 공정 기술 개발					
- 수직연결부 구현을 위한 비아 가공 및 도금 기술					
- 미세패턴 구현을 위한 표면 처리 기술 개발					
- 신호무결성(Signal integrity) 향상을 위한 표면 제어 기술개발					
- 재배선 구조 및 회로폭에 따른 신호품질(신호손실, cross talk등) 평가					
○ 초미세패턴 구현을 위한 표면 평탄화 공정기술 개발					
- wet & dry와 3축 대면적 대응이 가능한 평탄화 장비 구현					

- 표면거칠기 0.5 μ m, dishing 0.5 이내의 저편차 평탄화 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 선폭(μ m), 필름 두께 편차(%), 열팽창계수(ppm/°C), 유리전이온도 Tg(°C), 유전율/유전손실, 표면 평탄도 (nm), 기계적특성(모듈러스, 접착력등), 패키지 레벨 신뢰성 평가방법 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 빌드업소재는 첨단반도체패키지의 핵심으로 일본 아지노모토(Ajinomoto)가 독점하고 있어 공급 제약 및 가격 통제 리스크가 존재하며, 빌드업 소재 개발을 통해 공급망 불안정성에 대한 한국 반도체 패키징 업계의 취약성을 줄일 수 있음
- **(기술적 측면)** 인터포저와 플립칩패키지 기판은 미세 재배선 기술이 필요한데, 이러한 초소형 배선을 위해 균일한 두께 및 제어된 유전 상수, CTE 등 정밀한 특성을 확보한 빌드업 소재가 필요함
- **(시장적 측면)** 플립칩, 인터포저 패키지 등 첨단 반도체 패키지 시장이 크게 성장하면서 빌드업 필름에 대한 수요는 증가하지만 생산능력이 수요를 따라가지 못하는 상황으로, 빌드업 소재 개발에 따라 국내업체의 글로벌 시장점유율을 늘리고, 수입 의존도를 줄이는 효과가 있음
- **(사회적 측면)** 빌드업 소재 기술 확보는 소재 뿐만아니라 미세배선 공정 및 장비회사, OSAT에서 상당한 고용 기회가 창출될 것임

3. 활용분야

활용분야

- 빌드업 필름은 다양한 분야의 플립칩 및 인터포저용 기판에 적용 가능
 - 고성능 컴퓨팅 (HPC) 및 AI 반도체용 인터포저 및 플립칩 기판
 - 소형 고성능 모바일 기기용 AP 플립칩 기판
 - 서버 및 데이터센터용 메모리용 인터포저
 - 자율주행 및 인포테인먼트용 자동차 전장용 반도체 기판

4. 지원기간/예산/추진체계

- 연구개발기간 : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 9억원 이내(총 정부지원연구개발비 45억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수

품목번호	2025-기술자립형-품목-일반-11	산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형	반도체소자 및 시스템		
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음			
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>			
품목명	시장수요연계 고밀도 대면적 FCBGA 패키지용 무가압 저휨변형 접합 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념				
<ul style="list-style-type: none"> ○ 플립칩 BGA 패키지의 무가압 저휨변형 접합공정을 위한 고연신율 접합소재 및 공정기술 개발 <ul style="list-style-type: none"> - AI, HPC용 고성능 반도체용 대면적 플립칩 BGA는 칩과 기판 간 열팽창계수(CTE) 차이로 인해, 기판에서 휨변형(Warpage) 및 접합 불량률이 빈번히 발생 - 특히, 고성능 반도체용 미세피치 인터커넥션에서는 휨변형으로 인해 미세피치 인터커넥션이 점점 어려워지고 있음 - 휨변형을 억제하기 위해 압력을 주는 열압착접합 방식이 사용되고 있으나, 일반적인 무가압 방식에 비해 생산성이 1/10수준 - 휨변형을 억제하기 위해 접합에너지를 낮춰야 하며, 이를 위해 일반적으로 Bi계 솔더를 사용하는데, 고유의 높은 취성 때문에 일반적인 접합소재로 사용하는데 제한이 있음 - 따라서, 무가압 저휨변형 접합을 위한 고연신율 솔더소재의 개발이 필요함 				
※ 핵심 목표 : 고온접합소재대비 휨변형 50%이내, 연신율 80%이상 (세계최고수준)				
<input type="checkbox"/> 개발내용				
<ul style="list-style-type: none"> ○ 대면적 초미세피치 패키지 대응 저휨변형 무가압 접합공정용 고연신 접합소재 개발 <ul style="list-style-type: none"> - 저휨변형 인터커넥션을 위한 접합소재 합금설계 기술 개발 - 미세피치 대응 인쇄성 확보를 위한 바인더 합성기술 개발 				

- 패키지 인터커넥션 열-피로, 고온시효, 기계적 신뢰성 평가
- 접합소재 대량생산을 위한 소재 및 공정기술 확보
- 저휨변형 미세피치 무가압 접합공정 기술개발
 - 미세피치 저휨변형 접합소재 적용 인쇄 공정기술 개발
 - 무가압 접합 적용 60um피치 이하 접합 공정기술 개발
 - 저휨변형 고속 접합 공정 기술개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 인터커넥션 피치(um), 휨변형(um), 연신율(%), 전단강도(MPa), 전단변형율(%), 열충격신뢰성(cycle) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 반도체 패키지 소부장은 지정학적 긴장, 무역규제, 독과점 등으로 인한 글로벌 공급망에 많은 영향을 받는 상황으로, 일본이 과점하고 있는 차세대 반도체용 저변형 고연신 접합소재 시장에 국내 기술 자립화를 통한 기술 주권을 확보하고, 불안정한 반도체시장의 소재 공급망 확보가 필요함
- **(기술적 측면)** 전자부품의 모듈화, 대형화로 인터포저와 기판 간 열팽창계수(CTE) 차이로 인해, 높은 온도로 가열될수록 휨변형(Warpage) 및 접합 불량이 빈번히 발생하여, 이러한 문제 해결이 가능한 저휨변형 접합기술 개발이 필요
 - 또한, 저유전율 소재를 사용한 고급 기판은 플립칩 패키징의 핵심이나, 이러한 기판은 휨변형에 취약하므로, 저휨변형 솔더 재료를 적용, 고급 기판의 무결성을 손상시키지 않는 접합기술이 필요
- **(시장적 측면)** 저휨변형 접합기술은 미세피치 인터커넥션이 요구되는 CPU, GPU, AI 프로세서와 같은 응용에서 많이 사용될 것으로 전망되며, 반도체 패키지에서 휨변형 결함을 억제하게 되면 이들 반도체 패키지의 수율이 향상, 제품신뢰성 개선을 통해 수익성과 시장경쟁력을 높일 수 있음
- **(사회적 측면)** 저휨변형 접합기술은 일반적으로 공정온도를 낮추는 기술로 기존 260℃에서 170℃ 이하로 공정온도를 감소시킬 경우, CO₂ 배출량을 연간 285,000ton 줄일 수 있으며 전력사용량을 40% 낮추어 기후변화 대응에 직접적으로 기여가 가능

3. 활용분야

활용분야

- 저휨변형 접합소재는 모바일, 웨어러블 디바이스, AI, 데이터센터 및 HPC용 HBM 반도체 패키징용 인터커넥션에 활용 가능
 - 스마트폰, 태블릿, 랩탑 등 모바일 디바이스 AP, HBM의 미세피치 인터커넥션

- 자율주행 및 인포테인먼트용 자동차 전장용 반도체 인터커넥션
- PET 등 접합공정 중 변형이 발생하기 쉬운 기판을 사용하는 웨어러블 의료장비, 플렉서블 장치의 인터커넥션
- 심장조율기 등 접합공정 중 열손상에 민감한 이식형 의료장치

4. 지원기간/예산/추진체계

- **연구개발기간** : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 14억원 이내(총 정부지원연구개발비 51.3억원 이내)
- **주관연구개발기관** : 중소·중견 기업
- **기술료 징수여부** : 징수

품목번호	2025-기술자립형-품목-일반-12	산업기술 분류	중분류 I 반도체장비	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형			
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음			
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> <input checked="" type="checkbox"/> 해당없음			
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>			
품목명	시장수요연계 300mm 웨이퍼용 EMC 소재 및 저온 경화 공정장비 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념				
<ul style="list-style-type: none"> Fanout 패키징과 같은 첨단 패키징은 300mm 웨이퍼를 기반으로 하고 있으며 EMC의 높은 열팽창계수로 인해 몰딩 공정 이후 패키징 공정 동안 발생하는 warpage로 인해 후속 공정이 어려움이 있어 이의 기술적인 해결책이 필요함 Fanout 패키지 warpage를 최소화하기 위해 몰딩 공정의 온도와 시간을 낮추고 열팽창계수가 낮은 EMC 소재-공정-장비기술 개발이 필요함 				
※ 핵심 목표 : 후경화 온도 120℃ 이하 EMC 소재 및 경화 공정장비 개발 (세계 최고수준)				
<input type="checkbox"/> 개발내용				
<ul style="list-style-type: none"> Low warpage 특성을 갖는 Fan-out 패키지용 EMC 배합 기술 개발 <ul style="list-style-type: none"> Low-CTE 수치 기술 및 이를 활용한 Fan-out 패키지용 EMC 배합 개발 수치 구조변화에 따른 Fanout PKG용 EMC 배합 특성 및 물성 변화 평가기술 비접촉방식의 에너지 전달 활용한 경화온도 제어 기술 개발 <ul style="list-style-type: none"> 비접촉방식의 에너지 전달을 통한 저온 경화 메카니즘 규명 상기 메카니즘을 이용한 저온 경화 공정장비 개발 				
연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수 - 경화온도(℃), 300m 웨이퍼의 몰딩 후 warpage(um) 수준 등				
2. 지원 필요성				

지원필요성

- (정책적 측면)** 300mm 웨이퍼용 EMC는 반도체 첨단 패키징에 있어 핵심 소재이나 일본 소재 기업과 기술적인 격차가 크고 소재와 장비 그리고 수요 기업이 동시에 기술 개발에 유기적으로 참여해야 함으로 개별 기업이 단독으로 기술 개발하기 어려워 정부의 정책적인 지원이 필수적임
- (기술적 측면)** 반도체 첨단 패키징은 300mm 웨이퍼를 몰딩한 이후 이를 기반으로 활용하여 후속 공정을 수행하는 경우가 많아 본 과제를 통해 워피지 제어를 가능하게 하는 핵심 기술을 확보하면 대만과 일본에 비해 뒤떨어진 반도체 첨단 패키징 분야에서 우월한 위치를 점유할 수 있음
- (시장적 측면)** EMC는 1조 5천억원의 가장 큰 핵심 소재 시장이며 첨단 EMC는 모두 일본에 종속되어 있어 이를 국산화하여 시장을 확보하는 것이 중요함과 동시에 공급망의 안정화를 통해 안정적인 시장을 확보하는 것이 중요함
- (사회적 측면)** EMC는 유기 및 무기 소재, 파트와 장비 등 다양한 소재 및 장비의 공급망을 포함하고 있어 이의 국산화는 소재와 장비 생태계의 국산화를 의미하여 새로운 일자리를 확보할 수 있음

3. 활용분야

활용분야

- 300mm 기반 첨단 반도체 패키징
 - 스마트 폰용 메모리 및 비메모리를 위한 300mm fanout 패키지
 - HBM과 AI 모듈용 300mm 2.5D 패키지
- Panel level 첨단 패키징을 위한 핵심 기술

4. 지원기간/예산/추진체계

- 연구개발기간 :** 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 :** '25년 14억원 이내(총 정부지원연구개발비 51.3억원 이내)
- 주관연구개발기관 :** 중소·중견 기업
- 기술료 징수여부 :** 징수

품목번호	2025-기술자립형-품목-일반-13	산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형	분류	반도체소자및시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음			
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> <input type="checkbox"/> <input type="checkbox"/>	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> <input type="checkbox"/>			
품목명	시장수요연계 고성능 HBM 용 초고중형비 수직 TSV 형성을 위한 구리 전해도금 소재 혁신제품형 기술개발 (TRL : [시작] 4단계 ~ [종료] 7단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념				
<ul style="list-style-type: none"> ○ 차세대 HBM 용 초고중형비 TSV 형성을 위한 구리 전해도금 소재 <ul style="list-style-type: none"> - 중형비 20 TSV[*] 형성을 위한 구리 전해도금용 첨가제 소재 및 증진 기술 * 실리콘 관통홀(Through Silicon Via)은 반도체 소자의 수직 적층을 위해 필수적인 component로 실리콘 웨이퍼에 수직 구멍을 형성하고, 이를 전해도금을 통해 구리로 채운 고중형비 배선 - 상용 TSV (중형비 10, 지름 5 μm 수준) 대비 작은 지름과 큰 중형비를 가지는 차세대 TSV의 전해도금용 소재 및 증진 기술 개발 - Wafer level TSV 형성을 위한 첨가제 소재의 세계 최고 증진 특성[*] 확보 * 현재 12 inch wafer에서의 TSV 증진 속도는 2-2.5 μm/min 수준이므로, 연구 개발을 통해 세계 최고 수준의 증진 속도, 5 μm/min 이상을 달성할 수 있는 전해도금 소재 및 공정 기술 개발 필수 				
<div style="border: 1px solid black; padding: 5px; text-align: center;"> ※ 핵심 목표 : 중형비 20 TSV 증진 속도 5 μm/min 이상 첨가제 소재개발 (세계최고수준) </div>				
<input type="checkbox"/> 개발내용				
<ul style="list-style-type: none"> ○ Wafer level 초고중형비 TSV 공정용 전해도금 첨가제 소재 <ul style="list-style-type: none"> - 중형비 20 수준의 미세 TSV의 결함 없는 증진을 위한 소재 개발 * 중형비 20 수준의 차세대 TSV를 결함 없이 채우기 위한 첨가제 개발 및 첨가제 디자인 기술 * 증진 mechanism 기반 첨가제 소재 최적화 기술 * 개발 첨가제 소재의 국산화를 위한 소재 합성 및 순도 향상 기술 ○ Wafer level TSV 전해도금 공정 기술 개발 				

- TSV 용 wafer level 고속 증진 전해도금 공정 기술
- * 공정 생산성 향상을 위한 세계 최고 수준의 TSV 증진 속도를 확보할 수 있는 전해도금 기술
- * Wafer level 균일한 무결함 TSV 증진을 위한 공정 기술 및 첨가제 소재 개발
- * 개발 첨가제 소재의 수명 test 및 전해질 관리를 통한 공정 신뢰성 향상

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - TSV spec.(중형비, 지름, 길이), TSV 증진 속도(μm/min), wafer level 무결함 증진 비율(%)

2. 지원 필요성
<input type="checkbox"/> 지원필요성
<ul style="list-style-type: none"> ○ (정책적 측면) 금속 배선 형성 용 전해도금 기술은 미래 반도체 패키징의 핵심 기술로, 해외 경쟁 국가가 전해도금 기술을 이용한 패키징 배선 형성 관련 시장을 선점하고 있는 상황이기 때문에, 정책적으로 전폭적으로 지원하여 기술 자립이 필요한 상황 ○ (기술적 측면) TSV 전해도금 용 첨가제 소재는 해외 의존도가 100%로 국산화를 통한 소재 자립이 필요하며 세계 최고 수준의 TSV 전해도금 소재 및 공정기술 개발은 미래 반도체 패키지 소자의 특성 향상에 필수적으로 필요함 ○ (시장적 측면) 대만 TSMC가 반도체 패키징 시장의 많은 부분을 선점하고 있으며, 전해도금 소재의 경우, 미국, 일본, 독일 등 전통적인 케미컬 업체에서 과점중으로 국내 고유의 기술 개발을 통해 미래 시장 확보가 필요 ○ (사회적 측면) 전해도금 소재 및 공정 기술 개발은 반도체 산업 전반에 걸쳐 일자리 창출이 가능하며, 국가 경제의 지속적 발전에 기여 가능
3. 활용분야
<input type="checkbox"/> 활용분야
<ul style="list-style-type: none"> ○ 고성능 반도체 패키징 소자의 3차원 적층을 위한 수직 통전 배선 형성 <ul style="list-style-type: none"> - 높은 I/O 수를 확보할 수 있는, 고집적 반도체 패키징 디자인 구현을 위한 초고중형비 TSV 형성에 활용 - 개발 기술은 HBM 뿐만 아니라, 수직 적층을 포함하는 모든 반도체 패키징 소자 생산에 추가 적용 가능 ○ TSV 전해도금 관련 기술 개발 결과의 다양한 확장 가능성 <ul style="list-style-type: none"> - 미래 기관 형성을 위한 TGV, 초미세 피치 구현을 위한 마이크로범프 및 하이브리드 본딩 용 구리 소재 형성을 위한 기술 개발에 직접 적용 혹은 참고자료로 추가 활용 가능
4. 지원기간/예산/추진체계
<ul style="list-style-type: none"> ○ 연구개발기간 : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월) ○ 정부지원연구개발비 : '25년 14억원 이내(총 정부지원연구개발비 51.3억원 이내) ○ 주관연구개발기관 : 중소·중견 기업 ○ 기술료 징수여부 : 징수

7 반도체첨단패키징선도기술개발 (글로벌기술확보형첨단패키징개발)

품목번호	2025-글로벌기술확보형-품목-일반-15		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형	<input checked="" type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	반도체 첨단 패키징 선도기술개발사업 상용화 지원 (TRL : [시작] 3단계 ~ [종료] 7단계)				

1. 개념 및 개발내용	
<input type="checkbox"/> 개념	<ul style="list-style-type: none"> ○ 본 과제는 「반도체 첨단 패키징 선도기술개발사업」 총괄 과제로서, 세부 과제들의 성공적인 개발 수행 및 성과 확보를 위해, 내역 사업 전반의 수요 연계 및 상용화 지원 활동을 추진하는 과제임
<input type="checkbox"/> 개발내용	<ol style="list-style-type: none"> ① (민간기업 협의체) 국내외 수요기업(반도체 소자기업 및 OSAT 기업)으로 구성된 민간기업 협의체 운영 <ul style="list-style-type: none"> - 사업화 및 실증 지원 방향 논의, 세부 과제별 해외 사업화 판로 개척 지원 및 수요 연계 글로벌 협력 추진 ② (테스트 웨이퍼) 내역 사업의 원활한 연구개발 수행을 위한 과제별 필요 웨이퍼 Spec 조사, 수요기업 등을 통해 과제별 맞춤형 테스트 웨이퍼 공급 ③ (양산성능평가) 국내외 수요기업(반도체 소자기업 및 OSAT 기업)의 첨단 패키징 소재·장비 양산성능평가 지원 체계 구축을 통한 수행 과제들의 결과를 양산성능평가 프로그램 운영 ④ (기술전문위원회) 산학연 첨단 패키징 전문가 중심의 기술전문위원회 구성 및 운영 <ul style="list-style-type: none"> - 사업 세부 과제들의 성공적인 사업화를 위한 애로사항 해소 지원, 기술 자문 추진 ⑤ (기술로드맵) 한국형 첨단 패키징 로드맵 수립 및 수요기업 연계를 통한 국내 첨단 패키징

- 소·부장 미래 연구개발 방향 제시, 수행 과제들의 연속적인 연구개발 방향성 설정 지원
- ⑥ (기타 세부과제 지원)
 - 세부과제 성과 모니터링, 수요 기업 전문가 초청 기술 자문 및 네트워킹을 위한 국내 첨단 패키징 기술개발사업 워크숍 개최
 - 과제 연구개발 지원을 위한 패키징 시장/특허동향보고서 제작 및 정보 제공
 - 국내외 전시 부스 운영을 통한 과제 성과 확산 및 홍보 지원

▶ 연구개발계획서 제출 시 ① ~ ⑥ 개발 내용 전체 포함 필수
 ▶ 연구개발계획서 제출 시 아래 항목의 정량적 목표치 제시 필수
 - 민간기업 협의체 운영(건/년), 테스트웨이퍼 제공(건/년), 양산성능평가(건/년) 등

2. 지원 필요성	
<input type="checkbox"/> 지원필요성	<ul style="list-style-type: none"> ○ (정책적 측면) 첨단 패키징이 반도체 공급망을 주도할 전략카드로 활용되며, 미·중을 비롯한 반도체 선도국 간 기술경쟁 우위를 위한 초격차 필요성이 증대됨. 국내 패키징 분야는 일부 장비 개발에 대한 지원만 있을뿐, 첨단 패키징 기술 지원은 절대적으로 부족한 상황. 반도체 첨단 패키징 산업 육성 지원을 통해 반도체 후공정 초격차 기술 확보 및 기술 경쟁 우위 확보가 시급 ○ (기술적 측면) 칩렛, 차세대 인터포저, 3D 패키징 등 차세대 패키징 핵심 기술개발을 통한 차세대 고부가 시스템반도체 소재, 공정, 장비 분야의 압도적 기술경쟁력 확보 지원 필요. 글로벌 선도기업이 생산하고 있는 2.5D, FI/FO(WLP,PLP), FCBGA 공정 기술 및 이와 연관된 MI, 테스트 기술 관련 소·부장 공급망 내재화를 통한 국가 전략 자산 확보 지원 필요 ○ (시장적 측면) 첨단 패키징 기술 및 시장에서 국내 글로벌 영향력은 4.3% 수준으로 매우 열악한 상황이며, 대만 및 중국 기업이 대부분의 점유율을 차지. 국내 패키징 산업은 첨단화에 투자할 자체 여력 부족 등으로 인해 첨단 패키징 기술개발이 지연되는 악순환이 반복되고 있어 기술 자립화 및 시장 선점 지원이 필요

3. 활용분야	
<input type="checkbox"/> 활용분야	<ul style="list-style-type: none"> ○ 칩렛 기반 패키징 솔루션, 인공지능 GPU 패키지 기술 및 공정 등

4. 지원기간/예산/추진체계	
<input type="checkbox"/> 지원기간/예산/추진체계	<ul style="list-style-type: none"> ○ 연구개발기간 : 81개월 이내(1차년도 개발기간 : 9개월, 2~7차년도 : 각 12개월) <ul style="list-style-type: none"> - 1단계('25년~'27년, 33개월 이내) / 2단계('28년~'31년, 48개월 이내) - 단계평가를 통해 다음 단계의 수행여부 결정 ○ 정부지원연구개발비 : '25년 4억원 이내(총 정부지원연구개발비40억원 이내) <ul style="list-style-type: none"> - 총 정부지원연구개발비 1단계 16억원 이내 / 2단계 24억원 이내 ○ 주관연구개발기관 : 비영리기관 ○ 기술료 징수여부 : 비징수

품목번호	2025-글로벌기술확보형-품목-병렬-16		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
총괄 품목명	(총괄) 첨단패키징 글로벌 기술검증 플랫폼 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				
1세부 품목명	(1세부) 기술선도형 차세대 인터포저 전락기술 검증기술 개발				
2세부 품목명	(2세부) 기술선도형 3D 패키징 전락기술 검증기술 개발				
3세부 품목명	(3세부) 기술자립형 2.5D 패키지 소재·장비 전락기술 검증기술 개발				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 반도체 첨단 패키징 선도기술의 기술검증을 위해 국내기관과 글로벌 해외기관 협업 세부과제 검증기술 신뢰성 향상지원과 결과물 산/학/연 보급을 위한 플랫폼 운영 - 「반도체 첨단 패키징 선도기술 개발사업」 내 첨단패키징 기술개발 전략과제와 연계한 최상위 측정표준 기반의 검증기술 및 체계 개발 - 기술검증 방안의 보급 및 국제경쟁력 제고를 위한 국제/단체표준 개발 <p>※ 기술검증 대상은 산업통상자원부가 관리하는 첨단패키징 기술개발 연구과제으로 함</p>					
※ 핵심 목표 : 첨단패키징 글로벌 기술검증 플랫폼 구축 및 운영					
<input type="checkbox"/> 개발내용					
① 글로벌 기술검증 플랫폼 개발·운영					
<ul style="list-style-type: none"> - 성과창출 및 확산을 위한 기술검증 플랫폼 사업추진 전략 수립 - 세부과제 개발 검증기술 국내기관간 상호협력 및 기술 활용지원 - 검증기술 확산 및 보급을 위한 네트워크 구성 (기술세미나, 간담회, 워크숍 등) 및 홍보 - 각 세부과제 국내기관과 국외기관 협업 지원 및 연구성과 국제 표준회의 발표 (예시: ISO, IEC, VAMAS 등) - 세부과제 사업성과(실적) 관리 및 보고 총괄 등 					

- ② 세부과제 검증기술 측정소급성기반 신뢰성 향상 지원
- 세부과제 기술검증용 시료의 형상 및 물성 국제동등성 최상위 측정표준기반 측정
 - 세부과제 검증활용 장비 주요 성능 교정
 - 국제표준기반 검증방법 가이드 지원 및 표준화 검토
- ③ 사업 총괄주관기관과의 협력체계화
- 국제협력 네트워크 구축·지원

▶ 연구개발계획서 제출 시 ① ~ ③ 개발 내용 전체 포함 필수
▶ 연구개발계획서 제출 시 아래 항목의 정량적 목표치 단계별 제시 필수
-기술검증 가이드 제정(건/연), 기술검증 플랫폼 통합워크숍(건/연), 국내 단체표준 연계(안) (건/연) 등

2. 지원 필요성

- 지원필요성
- (정책적 측면) 반도체는 국가안보 및 첨단기술 경쟁에서 중요한 전략적 자산이며 첨단패키징 기술은 차세대 반도체 산업 경쟁력의 핵심으로, 기술검증 및 표준화를 통한 글로벌 기술시장에서 선도적 위치 확보가 국가정책 실현에 필수적
 - 첨단 패키징 기술 장벽 극복 및 해외 시장진출을 위한 기반 마련을 위해서는 국내기관과 글로벌 연구기관의 협력이 필수적이며, 이를 위한 글로벌 연계형 기술검증 플랫폼이 요구됨
 - (기술적 측면) 첨단 패키징 기술은 미세화 및 고집적화로 인해 신뢰성 검증이 필수적이며, 개발 검증법의 표준화 전략은 국제경쟁력 제고와 시장 선점이 가능함
 - 첨단패키지 소재, 부품, 장비 개발과 연구결과를 시제품으로 제작 시, 이에 대한 신뢰도를 평가할 수 있는 기술검증 체계확보가 최우선적* 요구
 - 첨단 패키징 산업의 신소재 및 신공정의 검증법 개발 시, 글로벌 검증체계를 활용한 시간 단축과 국제/단체 표준화를 통한 성과확산체계를 구축함으로써 반도체 기술 선도국으로 자리매김이 필요

* 한국의 첨단패키징 기술수준은 최고 기술 보유국 대비 66%, 3.4년 기술격차 '추격형'으로, 산학연 전문가 수요조사 결과 연구실증 기반의 검증체계가 최우선 과제로 분석(ETRI, 2024)
 - (시장적 측면) 첨단 패키징기술은 글로벌 반도체시장에서 지속적으로 성장하고 있으며, 시장 선점을 위해 신뢰성 검증 플랫폼 구축이 필수적으로, 국내 기업의 첨단패키징 기술검증지원으로 통한 글로벌 생태계 경쟁력 향상이 가능
 - ASE, Amkor, Intel, TSMC 등 미국과 대만의 핵심기업들이 반도체 패키징 기술을 선도하고 있는 가운데, 추격자로서 한국은 첨단패키징 분야에서의 기술경쟁력 확보를 위해 삼성전자, SK하이닉스 등을 중심으로 기술 개발 투자를 강화 중
 - 검증기술의 국제표준화를 통한 세계시장 진출의 교두보와 함께 시장 점유율을 높일 수 있음
 - (사회적 측면) 검증된 기술은 소비자 신뢰를 확보하며, 안전성과 품질이 보장된

반도체 제품 공급으로 사회적 안정성에 기여가 가능함

- 검증된 기술을 통해 반도체 제품의 높은 품질과 안정성을 보장하며 소비자 및 산업 고객의 신뢰를 확보하고, 국내외 산/학/연 협력 활성화에 기여가 가능함

3. 활용분야
<input type="checkbox"/> 활용분야 <ul style="list-style-type: none"> ○ (패키징 상용화) 3D 패키징, 팬아웃 패키징(FOWLP), TSV(Through Silicon Via) 등 첨단 패키징 기술을 적용한 고성능 반도체 제품 개발 및 상용화 - (소부장) 웨이퍼·기판·접착소재 등 관련 소재 기술의 신뢰성 검증 지원, 패키징 기술에 필요한 공정 장비 및 신소재 개발을 위한 성능향상 및 품질 보증체계 구축 ○ (제조산업) 반도체 제조 공정 최적화, 자동차·의료기기용 고신뢰성 반도체 개발, 고성능 통신·데이터 센터용 반도체 품질 보증 등 반도체 제조 전 분야 - 반도체 제조 장비 및 신소재의 성능 검증 및 결함 원인을 사전에 검출을 통해, 최적의 공정 조건을 설정하여 공정의 효율성을 증대
4. 지원기간/예산/추진체계
<ul style="list-style-type: none"> ○ 연구개발기간 : 81개월 이내(1차년도 개발기간 : 9개월, 2~7차년도 : 각 12개월) <ul style="list-style-type: none"> - 1단계('25년~'27년, 33개월 이내) / 2단계('28년~'31년, 48개월 이내) - 단계평가를 통해 다음 단계의 수행여부 결정 ○ 정부지원연구개발비 : '25년 3.42억원 이내(총 정부지원연구개발비 27.3억원 이내) <ul style="list-style-type: none"> - 총 정부지원연구개발비 1단계 1,170백만원 이내 / 2단계 1,560백만원 이내 ○ 주관연구개발기관 : 비영리기관 ○ 기술료 징수여부 : 비징수

품목번호	2025-글로벌기술확보형 품목-병렬-16-1	산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음			
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input checked="" type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음			
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)			
총괄 품목명	(총괄) 첨단패키징 글로벌 기술검증 플랫폼 개발			
세부 품목명	(1세부) 기술선도형 차세대 인터포저 전략기술 검증기술 개발			
	(TRL : [시작] 3단계 ~ [종료] 5단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 반도체 첨단 패키징 선도기술의 기술검증을 위해 관련 인프라를 보유한 국내기관 과 글로벌 해외기관과의 협업을 통한 기술검증 방안 도출 - 「반도체 첨단 패키징 선도기술 개발사업」 내 기술선도형 및 기술자립형 첨단패키징 기술개발 전략과제와 연계된 검증기술 개발 - 세부기술 연구개발과정에서 요구되는 기술검증을 위한 시료제작 및 기술검증 방법 도출 ○ 기술검증 방안의 유효성 확인을 위한 검증 결과 제시 * 기술검증 대상은 산업통상자원부가 관리하는 첨단패키징 기술개발 연구과제로 함 				
※ 핵심 목표 : 기술선도형 '차세대 인터포저' 전략기술 검증기술 개발 (신뢰성 입증)				
※ 기술선도형 차세대 인터포저 전략기술 구성 <ul style="list-style-type: none"> • 고밀도 Si 브릿지 내장 인터포저 제조 기술 • 다층 미세 재배선 설계 및 전사 기술 • 2.3D향 수동소자 내장형 인터포저 공정 • 패널 레벨 재배선 공정기술 • 다층 미세 재배선층 제조기술 • 공정 안정성 및 신뢰성 평가기술 • Glass 인터포저향 through-glass via (TGV) 가공 및 via-filling 공정기술 • 수동소자 내장형 Glass 인터포저 공정기술 				

□ 개발내용

- 차세대 인터포저 개발을 위한 설계 및 제작 지원 시스템 구축
 - 표준 TSV/TGV 인터포저 제작 지원을 위한 대구경 (>8인치) 인터포저 미세 단위 공정 확립
 - 기술 활용을 위한 인터포저 표준 규격화 및 디자인 가이드 개발
 - 박막 고집적 수동소자 지원을 위한 RLC 집적화 공정 구축 및 library DB 확보
- 고집적 인터포저 성능 평가 시스템 구축
 - 차세대 인터포저 전기적 성능 평가를 위한 UCIE 규격 표준 설계
 - 40 Gbps급 data rate 측정 분석을 위한 측정 평가 system 개발
 - 내장 또는 박막 고집적 수동소자 표준 설계 및 전기적 성능 평가 system 구축
- 차세대 인터포저 기반 실장 평가 시스템 구축
 - 실장 평가를 위한 도금 기반 정밀 마이크로 범프 형성 공정 개발
 - Chiplet 패키지 검증을 위한 flip-chip/W2W/C2W 표준 실장 시스템 개발
 - 실장 가이드를 위한 bump 조성 및 규격 표준화 개발
- 인터포저 불량 분석 및 신뢰성 검증 시스템 구축
 - 전기적 특성 평가를 통한 불량 분석 기술 개발
 - X-ray, SEM/FIB를 통한 물리적 다층 불량 분석 기술 개발
 - Thermal cycle, high temp. & humidity test 기반 신뢰성 분석 시스템 구축

▶ 연구개발계획서 제출 시 아래 항목의 정량적 목표치 단계별 제시 필수
 - 기술검증 시료제작 건수(건), 전라기술과 연계된 검증기술 건수(건), 유효성 확인 건수(건) 등
 ▶ 국제공동개발 대상 역할
 - 대구경 고밀도 다층 배선 구현을 위한 Si/glass 인터포저 표준 공정 확립
 - 차세대 인터포저 기반 실장 평가 시스템 구축 및 서비스 제공
 - 첨단 패키징 관련 인프라를 통한 R&D 및 공정 서비스 제공

2. 지원 필요성

□ 지원필요성

- **(정책적 측면)** 첨단 패키지의 중요성이 높아지고 있고, 차세대 패키지 기술로서 TSV/TGV interposer를 활용한 chiplet 패키지가 제안되고 있는 상황에서 상대적으로 부족한 국내의 고집적 인터포저 제조/평가 인프라에 대한 기술 역량을 해외 선진 기관과 협력을 통해 강화할 필요가 있음
- **(기술적 측면)** 국내의 차세대 패키지 산업 육성을 위해 Si/glass 기반의 고집적 인터포저 제조/실장 평가 기술에 대한 지원 생태계 조성 및 관련 선행적 IP 확보 필요
- **(시장적 측면)** 현재 3조원 규모인 고집적 패키지 시장은 2027년 약 7조 이상으로 증가할 것으로 예상되고, 최근 Intel/삼성 등이 2026년 glass 인터포저 양산을 준비함에 따라 대면적 고집적 기판을 기반으로 하는 차세대 인터포저의 시장이 크게 확대될 것으로 예상됨

- **(사회적 측면)** 반도체 기술은 차세대 통신, AI, 자율 주행, 첨단 방위 산업 등과 같이 안정된 사회망 구축에 필요한 필수 산업 기술로 정부 지원을 통한 국내 기술 경쟁력 확보가 필요함

3. 활용분야

□ 활용분야

- 세계 최고 수준의 협력 인프라를 활용한 국내 기업의 빠른 차세대 패키지 요소 기술 개발 및 성능 검증
- 선진 해외 연구기관과 연계한 양산 및 세계 표준 규격의 시제품 개발

4. 지원기간/예산/추진체계

- **연구개발기간** : 81개월 이내(1차년도 개발기간 : 9개월, 2~7차년도 : 각 12개월)
 - 1단계('25년~'27년, 33개월 이내) / 2단계('28년~'31년, 48개월 이내)
 - 단계평가를 통해 다음 단계의 수행여부 결정
- **정부지원연구개발비** : '25년 7.61억원 이내(총 정부지원연구개발비 60.9억원 이내)
 - 총 정부지원연구개발비 1단계 2,610백만원 이내 / 2단계 3,480백만원 이내
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 징수
- **기 타** : 해외기관 참여 필수 (대상국가 : 미국)

품목번호	2025-글로벌기술확보형-품목-병렬-16-2	산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형	분류	반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음			
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input checked="" type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)			
총괄 품목명	(총괄) 첨단패키징 글로벌 기술검증 플랫폼 개발			
세부 품목명	(2세부) 기술선도형 3D 패키징 전략기술 검증기술 개발			
	(TRL : [시작] 3단계 ~ [종료] 5단계)			
1. 개념 및 개발내용				
<input type="checkbox"/> 개념				
<ul style="list-style-type: none"> ○ 반도체 첨단 패키징 선도기술의 기술검증을 위해 관련 인프라를 보유한 국내기관과 글로벌 해외기관과의 협업을 통한 기술검증 방안 도출 <ul style="list-style-type: none"> - 「반도체 첨단 패키징 선도기술 개발사업」 내 기술선도형 및 기술자립형 첨단패키징 기술개발 전략과제와 연계된 검증기술 개발 - 세부기술 연구개발과정에서 요구되는 기술검증을 위한 시료제작 및 기술검증 방법 도출 ○ 기술검증 방안의 유효성 확인을 위한 검증 결과 제시 <ul style="list-style-type: none"> * 기술검증 대상은 산업통상자원부가 관리하는 첨단패키징 기술개발 연구과제로 함 				
<div style="border: 1px solid black; padding: 5px;"> <p>※ 핵심 목표 : 기술선도형 '3D 패키징' 기술검증 방안도출 (신뢰성 입증)</p> </div>				
<div style="border: 1px solid black; padding: 5px;"> <p>※ 기술선도형 3D 패키징 전략기술 구성</p> <ul style="list-style-type: none"> • 3D 적층 구조 전기적 테스트 기술개발 • 칩렛 적층 패키지 신뢰성 평가 기술 개발 • 본딩 계면 Void 검사 기술 개발 </div>				
<input type="checkbox"/> 개발내용				
<ul style="list-style-type: none"> ○ (3D 적층 구조 전기적 테스트 기술 검증) 3D IC 또는 TSV 기반 반도체 개발 제품의 전기적 성능 검증을 위한 정량적 항목 도출 				

- (Resistance) TSV 및 인터커넥트 저항 값 측정을 통해 적층 간 저항의 균일성 확인을 통해 전류 전달 효율 및 열화 가능성 검증기술
- (Capacitance) 적층 구조의 층간 커패시턴스 측정으로 적층의 균일성 확인 및 커패시턴스로 인한 coupling 및 timing(RC delay) 검증기술
- (신호 전달 지연) RC delay 등으로 인해 적층 구조에서 고속 신호의 전송 시간 측정을 통해 층간 또는 TSV 간 신호 간섭 수준 검증기술
- (결함 수준, defect level) 적층 시 층간 bonding 결함(TSV, 인터커넥트 등) 발생 측정 및 빈도 검증기술
 - * 결함 빈도 평가 결과를 활용하여 실제 제품 양산시 예상되는 수율 수준을 정량적으로 예측하는데 활용 가능
- (칩렛 적층 패키지 신뢰성 평가 기술 검증) 3D IC 또는 TSV 기반 반도체 개발 제품의 신뢰성 검증을 위한 정량적 항목 도출
 - (구조적 신뢰성) 칩 강도 및 패키지 접합부 계면 강도 측정을 통한 통합 패키지 적층 구조의 안정성 검증기술
 - (환경 신뢰성) 온도, 습도 및 충격 하중에 따른 신뢰성 수명 평가를 통한 칩렛 제품의 신뢰성 수명 검증기술
 - (소재 변형 신뢰성) 칩렛 적층 패키지를 구성하는 소재 물성 측정을 통한 소재 변형 거동 신뢰성 검증기술
- (본딩 계면 void 검사 기술개발) 3D 하이브리드 본딩 기반 반도체 제품의 void 발생 여부와 본딩 무결성을 정밀하게 검증하기 위한 정량적 검사 항목 도출
 - (Void 밀도 및 크기) 본딩 계면에서 void 크기와 밀도를 pitch 크기의 비율로 설정하여 무결성 검증기술
 - (Alignment) 정렬 오차를 pitch 크기 대비 비율로 설정하여 void-free 본딩 달성 여부 검증기술
 - (Edge inspection) 웨이퍼 edge에서 발생할 수 있는 void와 불균일성을 pitch 기반의 일관성으로 분석

▶ 연구개발계획서 제출 시 아래 항목의 정량적 목표치 단계별 제시 필수

- 기술검증 시료제작 건수(건), 전략기술과 연계된 검증기술 건수(건), 유효성 확인 건수(건)
- ▶ 국제공동개발 대상 역할
- 3D 패키징 기술 검증을 위한 시료제작 및 기술 검증 방법 도출
- 첨단 패키징 관련 인프라를 활용한 3D 패키징 검증 서비스 제공

2. 지원 필요성				
지원필요성				
- (정책적 측면) 3D 적층 기술을 차세대 반도체 설계의 핵심 기술로 기술 개발 속도를 높이고, 글로벌 반도체 생태계 리더십 확보를 위해 표준화된 검증 항목의				

- 개발이 필요
- 명확한 정량적 평가 기준 마련으로 연구 결과의 목표달성 여부 판단에 활용
 - **(기술적 측면)** 3D 적층 기술은 기존 반도체 제조 공정 기술 대비 전기적 특성, 신호 무결성, 열 관리 등에서 높은 수준의 관리를 요구하므로 검증 항목의 마련을 통해 관련 제품의 기술적 신뢰성 및 양산시 결함 발생 확률을 최소화할 수 있음
 - 적층 구조 결함은 단일 층에서 발생하는 결함 대비 특성 평가가 어렵고, 결함 발생 시 시스템 성능에 미치는 영향이 크기 때문에 결함 발견 조기 평가 기술개발 필요
 - **(시장적 측면)** AI 반도체 등 첨단 반도체 수요 폭증으로 3D 적층 기술 수요가 증가하고 있어, 결함 및 성능 저하 문제를 조기에 검증할 수 있는 기술개발을 통해 시장의 조기 선점 가능성을 제고
 - **(사회적 측면)** 높은 신뢰성을 갖는 제품 생산 기술은 반도체 공급망 내에서 안정적이고 우위적인 위치를 선점하기 위해 필수적으로 확보되어야 하는 기술
 - 3D 적층 구조를 활용하는 첨단 반도체의 공급망 내 핵심 기술 및 제품 확보로 기술 자립, 기술 안보 측면에서 차별적 경쟁력 달성 가능

3. 활용분야

활용분야

- 국내에서 개발된 검증 기술을 연구과제 기술 검증에 적용함으로써, 첨단 패키징 기술이 글로벌 표준에 부합하는 신뢰성을 확보할 수 있게 됨

4. 지원기간/예산/추진체계

- **연구개발기간** : 81개월 이내(1차년도 개발기간 : 9개월, 2~7차년도 : 각 12개월)
 - 1단계('25년~'27년, 33개월 이내) / 2단계('28년~'31년, 48개월 이내)
 - 단계평가를 통해 다음 단계의 수행여부 결정
- **정부지원연구개발비** : '25년 7.61억원 이내(총 정부지원연구개발비 60.9억원 이내)
 - 총 정부지원연구개발비 1단계 2,610백만원 이내 / 2단계 3,480백만원 이내
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 징수
- **기 타** : 해외기관 참여 필수 (대상국가 : 미국)

품목번호	2025-글로벌기술확보형-품목-병렬-16-3	산업기술 분류	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		반도체 장비	
혁신도전형	<input type="checkbox"/> 세계최초	<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야			
	미션			
	프로젝트			
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음			
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input checked="" type="checkbox"/> 국제공동			
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형			
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제			
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)			
총괄 품목명	(총괄) 첨단패키징 글로벌 기술검증 플랫폼 개발			
세부 품목명	(3세부) 기술자립형 2.5D 패키지 소재·장비 전략기술 검증기술 개발			
	(TRL : [시작] 3단계 ~ [종료] 5단계)			

1. 개념 및 개발내용

- 개념
- 반도체 첨단 패키징 선도기술의 기술검증을 위해 관련 인프라를 보유한 국내기관 과 글로벌 해외기관과의 협업을 통한 기술검증 방안 도출
 - 「반도체 첨단 패키징 선도기술 개발사업」 내 기술선도형 및 기술자립형 첨단패키징 기술개발 전략과제와 연계된 검증기술 개발
 - 세부기술 연구개발과정에서 요구되는 기술검증을 위한 시료제작 및 기술검증 방법 도출
 - 기술검증 방안의 유효성 확인을 위한 검증 결과 제시
 - * 기술검증 대상은 산업통상자원부가 관리하는 첨단패키징 기술개발 연구과제로 함

※ 핵심 목표 : 기술자립형 '2.5D 패키지 소재·장비' 전략기술 검증기술 개발 (신뢰성 입증)

※ 기술자립형 2.5D 패키지 소재·장비 전략기술

- 초박형 핸들링이 가능한 웨이퍼 TBDB 기술
- 미세피치 2.5D 칩온웨이퍼 적층 집합 기술
- 고방열, 고내열성 2.5D 반도체 패키지 하이브리드 몰드드언더필 소재 기술
- Si vertical interconnect 및 저온 미세접합 소재 및 장비 기술

- 개발내용
- 미세 피치 2.5D 칩온 웨이퍼 적층 집합 기술 개발을 위한 설계 및 제작 지원 시스템 구축
 - 칩온 웨이퍼 접합을 위한 웨이퍼 Design 가이드 확보

- 칩은 웨이퍼 접합을 위한 웨이퍼 상의 RDL/Bump 표준공정 확립
- 칩은 웨이퍼 측정 system 구축 및 불량 분석 기술 개발
- TC(Thermal Cycle), high temp. & humidity test 기반 신뢰성 분석 시스템 구축
- 2.5D 패키지 접합 소재 및 장비 기술 개발을 위한 지원 시스템 구축
- 미세피치 2.5D 칩 온 웨이퍼 적층용 소자 및 기관 설계 및 기술검증 시료제작 기술 확보
- 미세피치 2.5D 칩 온 적층 저온 접합 기술 개발
- 미세피치 2.5D 칩 온 적층 몰디드 언더필 소재 기술 개발
- 저온접합 소재 불량분석 기술 및 신뢰성 분석 시스템 구축
- Si Vertical Interconnect 공정 및 분석 시스템 구축
- 박막 고층형 비 Si TSV 공정(Seed, 도금) 및 불량 분석 시스템 구축
- 적층 및 접합 후, 결함(TSV void, interconnect등)분석 시스템 구축
- Daisy Chain 설계 가이드 및 정량 목표 도출
- 초박형 웨이퍼 공정 및 TBDB 기술 개발
- 대면적 초박형 Si 웨이퍼 상의 RDL/TSV/Bump 공정 기술 및 확보
- 초정밀 Si Thinning 공정 기술 확보
- 초음파, X-ray, TEM/SEM을 통한 물리적 불량 분석 기술 개발
- 미세피치 2.5D 칩은 적층 접합 기술 분석 및 신뢰성 검증 시스템 구축
- 다층 연결 구조 분석 시스템 구축
- C2W표준 실장, 신뢰성 측정 및 분석 시스템 구축

- ▶ 연구개발계획서 제출 시 아래 항목의 정량적 목표치 단계별 제시 필수
- 기술검증 시료제작 건수(건), 전략기술과 연계된 검증기술 건수(건), 유효성 확인 건수(건) 등
- ▶ 국제공동개발 대상 역할
- 첨단 패키징 관련 인프라를 통한 R&D 및 공정 기술 제공
- Si wafer 두께 100um 이하에서의 TSV/RDL/Bump 공정 기술 제공(TBDB_Temporary Bonding De-Bonding공정 포함)

2. 지원 필요성

□ 지원필요성

- **(정책적 측면)** 원천 및 첨단 연구개발을 통해 매우 부족한 첨단반도체 패키지 인프라 구축을 통하여 연구개발 전문인력을 양성하여 국가 첨단기술 경쟁력 강화에 기여할수 있음
- **(기술적 측면)** 2.5D 칩은 웨이퍼 패키지 기술은 반도체칩과 다른 구성 요소 간의 고속 상호 연결을 사용하여 반도체의 데이터 전송 속도가 빨라지고 대기 시간이 단축되므로 ChatGPT같은 초거대 AI와 블록체인이 탑재된 Web3.0 등 차세대 메가트렌드에 필요한 차세대 첨단 반도체 패키징 원천기술 제공할수 있음
- **(시장적 측면)** 2.5D 칩은 웨이퍼 패키지는 기존 기술보다 낮은 비용으로 이중

반도체소자를 집적화하여 반도체 성능 및 전력효율성을 향상시키며, 보다 강력하고 기능이 풍부한 전자제품을 개발할 수 있으므로 국내 전자제품 기술 및 가격 경쟁력을 동시에 강화할수 있음

- **(사회적 측면)** 사회적인 관점에서 2.5D 칩은 웨이퍼 패키지의 개발은 더 빠르고 더 강력한 컴퓨터, 스마트폰 등 새롭고 혁신적인 제품의 개발을 가능하게 하고, 이를 통해 보다 쉽고 편리하게 정보에 접근하고 다른 사람과 소통하며 일상적인 작업을 수행함으로써 사람들의 삶을 개선할 수 있음

3. 활용분야

□ 활용분야

- (기술적) 범프 피치 20μm 이하 칩은 웨이퍼 칩렛 집적을 위한 2.5D 인터포저, 접합 소재 및 공정 기술 개발을 통한 고성능 컴퓨팅, 저전력소자구현, 적층형 메모리 적용 기반 기술 확보
- (시장·산업적) 2.5D 칩은 웨이퍼 칩렛 집적 소재 및 장비 시장 선점 및 이를 통한 신규 고용 창출
- (글로벌) 패키징 기술이 제조공정의 핵심으로 부상하며, 글로벌 반도체 생태계에서의 표준화 및 협업을 통한 첨단 패키징 장비와 소재 산업의 육성이 가능

4. 지원기간/예산/추진체계

- **연구개발기간** : 81개월 이내(1차년도 개발기간 : 9개월, 2~7차년도 : 각 12개월)
 - 1단계('25년~'27년, 33개월 이내) / 2단계('28년~'31년, 48개월 이내)
 - 단계평가를 통해 다음 단계의 수행여부 결정
- **정부지원연구개발비** : '25년 7.61억원 이내(총 정부지원연구개발비 60.9억원 이내)
 - 총 정부지원연구개발비 1단계 2,610백만원 이내 / 2단계 3,480백만원 이내
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 징수
- **기 타** : 해외기관 참여 필수 (대상국가 : 미국)

품목번호	2025-KCHIPS-품목-일반-M01		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	-30~60°C 범위의 온도 보상이 가능한 고신뢰성 32레벨 3D NAND 메모리 소자 및 회로 핵심 요소기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> 개념: 고용량 3D NAND 메모리 기반 차량 및 모바일용 UFS 스토리지의 운영 환경에서 외부 요인에 의한 온도 변화로 발생하는 오동작 현상, 즉 cross-temperature 현상 또는 temperature bump (이하 Temp. bump) 현상이 제품 개발에 있어 난제를 유발하고 있음. 특히, NAND 메모리의 지속적인 집적도 향상을 위해 필수적인 개발 방향으로 Cell 스케일링, 단수 증가 및 3bit/cell 이상의 Multi-bit Cell 기술들이 제시되고 있으나, 이 기술들과 더불어 Temp. bump 현상에 대한 대응 기술과 함께 개발되지 않는다면 해당 현상에 대한 취약성이 기하급수적으로 올라가게 됨. 따라서, 고용량 메모리를 요구하는 다양한 응용처들에 Multi-bit 3D NAND 메모리를 적용하여 NAND 시장을 확대하기 위해서는 Temp. Bump를 포함한 고신뢰성 특성 확보를 목표로 Cell 소자, Cell 알고리즘, 그리고 Cell 특성을 고려한 온도 보상 회로 기술 개발은 필수불가결한 상태임. 제품형태: 3D NAND 플래시 메모리 Cell 소자, Cell 구동 알고리즘, 온도 보상 회로 기술 기술형태: Temp. bump 이슈를 완화 및 해결할 수 있는 Cell 소자의 핵심 요소 기술 개발을 포함한 절연막/채널 소재 공정 및 소자 기술, Program/Read 알고리즘 및 온도 보상 회로 설계 기술 					

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

□ 개발내용

- 32레벨 3D NAND Cell 소자의 온도 급변화(Temp bump.)에 의한 동작, 변동성, 신뢰성 예측 모델 개발
 - 고온(60°C)저온(-30°C)의 범위에서 프로그램/읽기 동작에서 발생하는 Multi-bit 메모리 동작, 변동성 및 Temp. bump 기인한 신뢰성 열화 해석 플랫폼 개발
 - 채널 물성, 유전체 및 채널과의 계면 물성에 따른 Temp. bump 성능 예측 모델링 개발
 - 온도 보상에 필수적인 읽기 동작 온도에 따른 Vth 변화율인 온도 계수를 예측할 수 있는 모델 개발
- 32레벨 고신뢰성 3D NAND 용 Cell 소자 개발
 - Multi-level 구동 시 endurance, retention, disturb, Temp. bump 등의 신뢰성 개선을 위한 절연체/채널 소재, 소자 공정 기술 개발
 - 물성에 따른 특성 예측 모델 기반 고 이동도 채널 소재 및 다결정 실리콘 채널 증착 또는 결정화 공정 개발
- Temp. Bump 개선을 위한 Cell 알고리즘 기술 개발
 - 고온(60°C)~저온(-30°C) 동작에서 발생하는 열화 현상들을 개선할 수 있는 Multi-bit 프로그램 및 읽기 동작 Cell 알고리즘 개발
 - 절연체/채널 소재 변동성에 따른 온도 영향 변동성을 완화할 수 있는 Cell 알고리즘 개발
- Temp. Bump 개선을 위한 온도 보상 회로 설계 기술 및 검증 플랫폼 개발
 - 온도 변화에 따른 NAND 셀 Vth 특성 보상 회로 개발 및 실물 칩 검증
 - 온도 변화에 따른 Page buffer 회로의 센싱 노이즈 감소 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- Temp. Bump 특성, retention, endurance, cell current, disturbance, MLC 등

2. 지원 필요성

□ 지원필요성

- 기술적·시장적 필요성
 - 자율주행차, 인공지능 기술 등의 지속적인 발전으로 인한 다양한 온도 환경에서 고성능으로 구동하는 고집적 메모리의 중요성이 더욱 커지고 있으며, 2028년도에 \$94.24 billion으로 달하는 NAND 플래시 메모리반도체 시장에 미국과 일본 업체들의 대규모 인프라 및 인력 양성 투자 등으로 인해 매우 치열한 경쟁 환경임. 이에, 현재 NAND 시장에서의 한국 기업의 우위를 지속적으로 유지하면서 지속 가능한 글로벌 초격차 기술 경쟁력 확보를 위해 해당 원천기술 개발이 필요함.
 - HDD로 구성된 데이터센터에서의 많은 전력 소비로 인한 이산화탄소 배출량이 증

가하고 있는 상황임. 이에, 고신뢰성 3D NAND 기반 SSD 개발을 통해 향후 구축될 데이터 센터를 포함하여 모든 데이터 센터를 교체 시, 약 4,100만 톤의 온실가스 배출량을 감축할 수 있어 약 38억 달러 이상의 사회적 가치를 창출할 수 있음.

○ 정책적 필요성 (정부지원 필요성)

- 현재 반도체 업계의 만성적인 반도체 전문인력 문제에도 불구하고, 국내의 의대 열풍으로 인한 이공계 기피 현상으로 우수한 반도체 전문 인력양성이 어려움. 이에 정부 R&D 예산의 지속적인 지원을 통해 지속가능하며 우수한 연구 환경 조성으로, 이공계 학생 유입 및 반도체 석/박사급 전문 인재 양성 유도가 시급함. 이러한 정부의 지원을 통해 우리나라가 지속적인 메모리 반도체 1위 위상 유지를 통해 국가 위상을 강화할 수 있도록 지원이 필요함.

3. 활용분야

활용분야

○ 결과물의 활용분야 및 활용처

- 저온과 고온을 포함하는 다양한 구동 환경 온도에서 동작하는 모바일, 자율주행차 등의 응용처에 활용될 스토리지 핵심 기술로 활용 가능
- 현재의 3bit NAND 메모리의 집적도를 개선할 수 있는 차세대 Multi bit Cell 기술 개발에 활용 가능하며, 인공지능, 사물인터넷 등 고용량의 데이터를 다루는 응용 시장을 선점 가능

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-M02		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고		<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	온디바이스 AI를 위한 강유전체 기반 초저전력/비휘발성 SRAM 회로 기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

개념

- 온디바이스 AI 서비스 제공을 위한 온디바이스 AI 하드웨어 기기(스마트폰 및 안경형 고글을 최종 단말기로 고려하지 않는 새로운 개념의 최종 단말 기기)를 위한 초저전력/비휘발성 동작이 가능한 강유전체 기반 SRAM 기술 개발
- 온디바이스 AI 및 엣지 컴퓨팅이 발전함에 따라, 저전력 동작과 데이터의 안정적 유지를 동시에 실현할 수 있는 캐시 메모리 솔루션에 대한 필요성 제기. 온디바이스 AI 구현을 위해, 고속 동작을 제공하는 SRAM 기술은 필수적이지만, 종래의 휘발성 SRAM은 상대적으로 높은 전력 소모와 스케일링 한계로 인한 성능 저하라는 기술적 문제에 직면해 있음.

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- Process-induced random variation에 강건한 강유전체 기반 멀티 게이트 구조 트랜지스터 설계 및 평가 기술 개발
- HfO₂ 기반 강유전체 커패시터 제작 및 강유전 특성 확보

($P_r > 40 \mu\text{C}/\text{cm}^2$, $E_c < 1.5 \text{ MV}$, Endurance $> 10^{10}$ cycles, Retention > 10 years 등)

- TCAD 시뮬레이션을 활용한 강유전체 기반 멀티 게이트 구조 트랜지스터 모델링 및 특성 평가
- Process-induced random variation 주요 인자 구체화(최소 3가지 이상) 및 멀티 게이트 트랜지스터의 특성 산포 최소화

(Random variation 적용 환경 하, 트랜지스터의 $\sigma(V_{TH})/\text{mean}(V_{TH}) < 10\%$)

- 멀티 게이트 구조 트랜지스터 기반 SRAM 설계 및 성능 분석
 - 멀티 게이트 구조 트랜지스터 모델 파라미터 추출 및 Calibration 진행 (TCAD 최적화 모델과 compact model과의 RMS 오차율 $< 5\%$)
 - Compact model을 활용한 멀티 게이트 구조 트랜지스터 기반 SRAM 설계 및 주요 성능 분석 (동작 전압 0.5V이하, SRAM 읽기/쓰기 성능 확보 (noise margin, access time 등))
 - Random variation을 고려한 멀티 게이트 구조 트랜지스터 기반 SRAM 회로 성능 예측 (Random variation 적용 환경 하, SRAM 동작의 산포(σ/mean) $< 10\%$)
- 강유전체 기반 멀티 게이트 공정을 통한 초저전력/비휘발성 SRAM 구조 개발 및 평가 플랫폼 구축
 - 강유전체를 활용한 SRAM 단위 셀의 초저전력 및 비휘발성 특성 구현 (동작 전압 0.5 V 이하에서 SRAM 읽기/쓰기 성능 (noise margin, access time 등) 확보 및 기존 데이터 유지 가능한 power-gating period $> 100 \text{ sec}$)
 - 강유전체를 활용한 SRAM 단위 셀 기반 어레이 구현 및 특성 평가
 - Random variation을 고려한 강유전 멀티 게이트 구조 트랜지스터 기반 초저전력/비휘발성 SRAM 회로 성능 예측 플랫폼 구현 및 최적의 레이아웃 설계 (Random variation 적용 환경 하, 강유전체 기반 초저전력/비휘발성 SRAM 동작의 산포(σ/mean) $< 10\%$)
- CMOS 및 TFT 공정 기반 초저전력/비휘발성 SRAM 제작
 - 시뮬레이션 결과에 기반하여, CMOS 소자 및 TFT 공정 기술을 각각 적용해 강유전체 기반 초저전력/비휘발성 SRAM 단위 셀 구현 (CMOS 소자 동작 전압 $< 1.5 \text{ V}$, on/off ratio $> 10^6$ / TFT 소자 동작 전압 $< 5 \text{ V}$, on/off ratio $> 10^5$ 확보)
 - CMOS 및 TFT 기반 SRAM에 강유전체를 집적하여, 초저전력/비휘발성 동작 구현 및 실용화 연구
 - 상전이 소자(Threshold switching 소자 등)를 적용하여 극초저전력 ($< 100 \text{ nW}$) 동작 가능성 검토 및 동작 전압 최소화 연구

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 강유전 특성지표(P_r , E_c , Endurance, Retention), 트랜지스터 특성지표(I_{ON} , I_{OFF} , I_{ON}/I_{OFF} , SS , V_{TH}), Process-induced random variation 산포 지표(σ/mean), SRAM 성능지표(읽기/쓰기 noise margin, access time, 동작 전압, 비휘발성 동작) 등

2. 지원 필요성

□ 지원필요성

- **(정책적 측면)** 온디바이스 AI는 다양한 산업 분야에서 국가 경쟁력을 좌우하는 핵심 기술로 주목받고 있으며, 이를 위한 초저전력 메모리 솔루션 확보는 필수적임. 본 연구는 강유전체를 활용한 멀티 게이트 트랜지스터 기반 SRAM 기술을 통해 메모리 성능을 혁신적으로 개선함으로써, 온디바이스 AI 시대의 다양한 AI 하드웨어 기기에 들어가는 핵심 메모리 반도체 기술 주권 확보에 기여 할 것임.
- **(기술적 측면)** 현재 SRAM은 스케일링 한계로 인해 전력 소모와 성능 저하가 큰 문제로 대두되고 있음. 멀티 게이트 구조와 강유전체의 조합은 이러한 문제를 해결할 수 있는 혁신적인 기술로, 온디바이스 AI 및 엣지 컴퓨팅 응용에 최적화된 메모리 솔루션을 제공할 수 있음.
- **(시장적 측면)** 강유전체 기반 멀티 게이트 SRAM 기술은 고속 데이터 처리가 필수인 온디바이스 AI 시스템에 최적화된 메모리 솔루션을 제공함으로써, 해당 시장에서 다양한 edge 디바이스에 활용됨으로써 시장 경쟁력을 강화할 수 있음.
- **(사회적 측면)** 저전력 설계는 탄소 배출을 줄이고 에너지 효율을 높이는 데 있어 핵심적인 요소임. 강유전체 기반 초저전력/비휘발성 SRAM 기술은 에너지 절감을 통한 지속 가능한 IT 인프라 구축에 기여 할 수 있음.

3. 활용분야

□ 활용분야

- 온디바이스 AI를 위한 차세대 메모리 솔루션
 - 초저전력 AI 연산용 메모리: 기존 배터리 용량 한계로 인한 짧은 동작 수명 한계를 극복하여, 온디바이스 AI 환경에서 장시간 안정적인 작동이 가능하도록 지원
 - 데이터의 안정적 보존: 전원 차단 후에도 데이터를 안정적으로 유지할 수 있어, 재부팅 시 신속한 동작이 가능해 지속적인 AI 연산을 edge 디바이스에 효과적으로 지원
 - 고성능 메모리: 클라우드로의 데이터 전송 없이 AI 모델을 edge 디바이스에서 직접 실행할 수 있어, 실시간 분석과 빠른 응답이 필요한 환경에서 최적의 성능을 제공

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-M03		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통합 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립		<input checked="" type="checkbox"/> ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	CXL향 고집적 Vertical 크로스포인트 Selector only memory (SOM) 소자 및 어레이 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

개념

- CXL(Compute Express Link): CPU와 메모리, 가속기 등 다양한 컴퓨팅 자원 간의 고속 데이터 전송을 지원하는 인터커넥트 기술. 기존 PCIe(PCI Express) 기술을 기반으로 개발되어 호환성과 유연성을 유지하면서 데이터 전송 효율을 크게 향상시킴. 고집적 메모리가 필수이며, 데이터센터, 클라우드 컴퓨팅, AI 등의 고성능 컴퓨팅 환경에서 리소스를 더욱 효과적으로 활용할 수 있도록 함.
- 크로스 포인트 어레이: 크로스 포인트 어레이는 비트 라인과 워드 라인이 교차하는 지점에 메모리 셀이 위치하는 2차원 배열 구조. 각 메모리 셀은 비휘발성 메모리 소자와 선택 소자로 구성하거나 혹은 단일 소자로 구성될 수 있음.
- Vertical Selector Only Memory (VSOM): VSOM은 선택 소자만을 포함하는 메모리 구조이며 가변 임계 전압 (Vth)을 활용한 2단자 기반 메모리 소자로 chalcogenide 물질을 사용하며, 공정 복잡도와 종횡비 문제를 해결해야 하고 고집적을 위해 NAND 플래시와 유사한 수직 적층 방식으로의 기술 변화를 위해 도입된 vertical 적층 기술임.

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- 3차원 고집적 SOM 물질 연구 및 고선택비/고신뢰성 스위칭 소자 특성 연구
 - 친환경적이며 As-free 한 다양한 Chalcogenide 물질에 대한 선행 연구와 3원계 물질 외 다양한 도핑 물질을 탐색하여 SOM 단일 소자의 최적화 진행. Band gap 과 결함(defect), 도펀트 물질에 따른 전기적 특성의 상관관계 조사.
 - 3차원 소자 집적을 위한 ALD 기반 공정 확보. Binary~다성분계 후보 물질군에 대한 공정 조건 확립 및 조성 범위 확보 연구. 다성분계에서 각 물질 조성별 2~5at% 변화에 따른 4대 막질(밀도, uniformity, impurity level, step coverage) 특성 및 전기적 특성 분석
 - 신뢰성이 우수한 재료를 식별하고, 최적 전극 물질의 조합을 통해 성능을 최적화
- Vertical 크로스 포인트 SOM 구조 설계 및 공정 최적화 기술 개발
 - 최적 전극 물질과 ALD 공정 조합 통해 최소 4층 이상의 vertical 구조를 구현하고, 각 층에서 개별적으로 접근 가능한 집적화 기술을 개발
 - 8 x 8 x (4층) 이상의 어레이에서 수율을 확보하고, 구조를 최적화
 - 적층 구조 기반의 프로토타입 제작을 통해 수율, 성능, 안정성 검증
 - Thermal budget 한계 및 최적화, 디바이스 형성을 위한 공정 최적화 및 SOM 특성 최적화 연구
- CXL향 고집적 어레이 동작을 위해 Read window margin (RWM) 확보 및 기존 크로스포인트 메모리와 비교를 통한 타당성 연구
 - 임계전압 (Vth)의 산포와 시간에 따른 임계전압 drift를 고려한 RWM에 대한 연구
 - Redundancy를 고려한 Bit Error Rate 기준에서 RWM 확보를 위한 연구
 - First firing 이후, 초기 Endurance cycling에서 발생하는 임계전압 변동현상에 대한 분석 연구 및 최적화

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- Thermal stability, Threshold voltage, Read window margin, Array size, Endurance, Retention, Speed, Off-state leakage current

2. 지원 필요성

지원필요성

- (정책적 측면) CXL향 VSOM 기술 개발은 데이터 처리 성능 향상을 위한 필수 전환으로, 이는 정부의 고성능 컴퓨팅 지원 및 반도체 자립도 강화 정책과 부합하며, 국가 반도체 경쟁력에 중요한 역할을 할 것으로 기대됨.
- (기술적 측면) CXL 도입을 위해 고집적 메모리가 필요하며, VSOM의 수직 적층 구조는 데이터 전송 속도와 전력 효율을 극대화하여 기존 한계를 뛰어넘는 성능을 제공함.
- (시장적 측면) 데이터 중심 애플리케이션 수요가 증가하며 CXL 기술의 중요성이

키지고 있음. 이에 따라 기업들은 고성능 및 에너지 효율성을 위한 VSOM 기반 고집적 메모리 솔루션 상용화를 필요로 하고 있음.

- (사회적 측면) 디지털 전환과 데이터 폭증이 가속화되는 상황에서, 저전력 및 데이터 전송 효율의 증가로 저탄소 사회 실현에 기여. VSOM 기술은 다양한 산업의 혁신을 촉진하며, 고급 인력 양성 및 청년 일자리 창출에 긍정적인 영향을 미칠 것으로 기대됨.

3. 활용분야

활용분야

- 데이터센터 및 클라우드 인프라로 활용
- AI 및 머신러닝 응용으로 활용
- IoT 및 엣지 컴퓨팅으로 활용
- 차세대/차차세대 컴퓨팅 아키텍처 분야로 활용

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-M04	산업기술	중분류 I	중분류 II	
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템		
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	위상 박막 소재 기반 고성능 SOT-MRAM 공정 기술 개발				
	(TRL : [시작] 2단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ SOT-MRAM(spin orbit torque magnetic random access memory)는 비휘발성이면서 flash memory보다 빠른 동작 속도를 가져 고성능 차세대 storage class memory로 각광을 받고 있음 - SOT-MRAM은 기존의 STT-MRAM과 다르게 메모리 write 경로와 read 경로가 분리되어 있어 더욱 저전력으로 운용이 가능하고 cell endurance가 높음 ○ SOT-MRAM을 구성하는 핵심 소재는 스핀 전류를 발생시킬 수 있는 spin-orbit 소재층임 - 위상 소재(topological material)는 전기적 밴드 구조상 스핀-운동량 잠금 특성을 가지고 있어, 기존에 spin-orbit 소재층으로 활용된 바 있는 중금속(Pt, W, Ta, Pd 등) 보다 수배~수십배 높은 spin Hall angle을 가짐 - 따라서 위상 소재는 SOT-MRAM 소자의 구동전류 및 전압을 획기적으로 낮출 수 있는 잠재력을 갖고 있음 - 한편, CMOS 공정과 호환성이 높은 위상 소재의 박막 증착 공정에 대한 연구는 제한적임 					
<div style="border: 1px solid black; padding: 5px; background-color: #fff9c4;"> ※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성) </div>					
<p>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					

□ 개발내용

- SOT-MRAM용 위상 소재의 박막 증착 공정 개발
 - CMOS 공정 호환 가능성이 높고, SOT-MRAM에 소자 제작에 용이한 박막 증착 공정 기술개발
 - 공정 변수에 따른 위상 박막 소재 결정성, 조성 변화 및 그에 따른 spin-orbit coupling 특성 최적화
- 위상 박막 소재 기반 SOT-MRAM 단위 소자 제작 공정 개발
 - 위상 박막 소재가 포함된 spin valve, magnetoelectric transistor 등 단위 스핀트로닉스 소자 제작 공정 개발
 - 위상 박막 소재에 최적화된 fixed/free layer 및 tunnel barrier 적층 구조 개발
 - 위상 박막 소재 기반 단위 스핀트로닉스 소자 동작 메커니즘 검증

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 박막소재 증착두께 균일도(%), Spin-orbit coupling 특성 최적화 지수, 박막 소재 결정성 등

2. 지원 필요성

□ 지원필요성

- (정책적 측면) TSMC, 인텔, 마이크론 등 해외 칩메이커 경쟁사와 반도체 패권 경쟁이 이루어지고 있는 환경에서 차별성을 갖는 차세대 SCM 원천 소자/소재 기술 확보가 가능함
- (기술적 측면) AI시대 도래로 급증한 정보 처리량 수요에 맞춰 기존 DRAM의 비휘발성의 단점을 극복하고 Flash 대비 에너지 효율이 극대화된 SOT-MRAM 개발이 필요함
- (시장적 측면) SOT-MRAM 소재에 대한 선도적인 연구결과를 확보하여 차세대 메모리 반도체 및 SCM 시장에서 점유율을 향상시킬 수 있음
- (사회적 측면) 반도체 산업계에서 수요가 높은 차세대 메모리 소자/소재 전문인력을 국내 고등교육기관에서 양성하여 선순환적인 산학협력 관계 구축이 가능

3. 활용분야

□ 활용분야

- 차세대 storage class memory에 활용이 되어 데이터 센터 및 클라우드 컴퓨팅 분야로 확장이 가능함.
- AI 반도체 및 CIM에 활용이 되어 인공지능 (AI) 및 머신러닝 분야로 확장이 가능함. 대용량 데이터 처리 가속화 및 데이터 레이크 및 실시간 분석이 가능함.
- 고성능 spin to charge/charge to spin 변환 스핀트로닉스 소자에 활용

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-M05		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	1 nm 기술노드 이하 monolithic CFET을 위한 핵심 모듈공정기술 개발				
	(TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ CMOSFET은 소자의 성능 및 밀도 증대를 위해 Dennard scaling 기반의 physical scaling으로 시작해 FinFET을 거쳐 GAAFET 소자까지 발전해 왔음. 또한 최근 메모리 소자(DRAM)도 peripheral circuit에 advanced CMOSFET 공정 도입을 추진하고 있음. ○ GAAFET에서 추가적인 밀도 증가를 위한 소자로는 Forksheet FET가 거론되고 있으나 적용기간이 길지 않아 1nm 기술노드부터 최종적인 Si 기반의 한계 소자로 Complementary FET(CFET)이 도입될 것으로 예상되고 있음. <ul style="list-style-type: none"> - CFET은 GAAFET 기반 NMOS와 PMOS 소자를 수직으로 적층한 형태(PMOS 상부에 NMOS를 적층)를 가지며 기존 2차원적 배열의 GAAFET 대비 50% 밀도 증가 효과를 보이거나 공정 과정이 매우 복잡한 단점을 가짐. - CFET을 구현하는 방법으로는 하부소자 제작 후 웨이퍼 본딩 등을 통해 새로운 Si 채널층을 전사하고 상부소자를 구현하는 “Sequential process”와 단일 기관상에서 하부/상부소자를 동시에 수직으로 구현하는 “Monolithic process”가 있음. - 높은 A/R로 인한 공정상의 문제, 공정 복잡성 등의 단점을 가지고 있으나 상대적으로 낮은 전체 소자의 높이, 낮은 기생저항, 낮은 단가 등의 장점으로 “Monolithic process”의 적용 가능성이 높은 것으로 판단되고 있음. ○ 기존 GAAFET 소자의 연장선상에서 구현해야 하므로 GAAFET 구현의 핵심기반 기술인 Si/SiGe 에피택시 기술에 기반한 monolithic integration이 필수적임. 					

- 따라서 현재 사용되고 있는 GAAFET 기술에 기반한 CFET 개발을 위해서는 “MDI(Middle Dielectric Isolation)로 분리가 가능한 Si/SiGe 에피택시 기술에 기반한 N/P multiple Si stack 형성”과 “저온기반의 고농도/선택적 N+/P+ 소스/드레인(S/D) 에피 및 저저항 컨택공정 기술”이 핵심모듈공정임.
- 또한, 최종적인 CFET 소자의 구현은 장비 및 패터닝 공정기술의 한계로 학연계에서의 개발 및 실증이 현실적으로 불가능하므로 핵심 모듈공정 개발과 더불어 “다양한 CFET 공정 및 소자 시뮬레이션을 통해 산업계의 개발 방향을 제시”하고 “관련 전문인력을 양성”하는 것이 바람직함.

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- Monolithic CFET 용 에피채널 모듈공정기술
 - Si, low-Ge & high-Ge SiGe을 이용한 CFET 구조 형성을 위한 에피 stack 모듈공정
 - N/PMOS 에피 stack에서의 MDI 층 형성을 위한 식각 모듈공정
- Monolithic CFET 용 고농도 N+/P+ 선택적 에피 S/D 모듈공정기술
 - 저온 및 고농도의 선택적 S/D 에피 모듈공정
 - 저온 실리콘사이드 및 저저항 컨택 모듈공정
- Monolithic CFET 공정-소자-회로 통합 시뮬레이션을 통한 소자-회로 동시 최적화 및 고성능/고수율/고신뢰성 소자 설계
 - 집적공정 시뮬레이션 기반 수율 취약 공정 스텝 분석 및 공정 모듈별 타겟 제시
 - 소자 시뮬레이션 기반 고성능, 고수율, 고신뢰성을 가지는 소자 최적 설계
 - 회로 시뮬레이션 기반 면적, 동작속도, 전력소모 관점 회로 최적화 분석

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- CFET stack 구조의 strain relaxation (%), MDI 형성을 위한 etch 선택비 (비율), N/P-type doped 에피공정 온도 (°C), 도펀트 종류 및 농도 (#/cm²), 저온 silicide 컨택저항 (Ωcm²), 최신 공정 옵션들의 공정 산포를 고려한 시뮬레이션 기반 CFET full process flow (건), 로직회로 시뮬레이션을 통한 회로면적/성능 개선 개선 비율 (%) 등

2. 지원 필요성

지원필요성

- (정책적 측면) 국내에서는 sequential CFET을 주제로 하는 집단연구과제 1건이 최근 시작되었고 아직까지 산업적으로 적용 가능성이 매우 높은 에피택시 기반

의 monolithic CFET과 관련된 연구과제는 진행된 바 없음. 국내 반도체 산업의 글로벌 초격차 경쟁력 확보를 위해 기존 CMOS 기술을 기반으로 하는 3차원 CFET 소자 기술의 확보가 매우 시급함.

- (기술적 측면) IRDS 분석에 따르면 CFET이 2028년 1.5나노 공정 근처부터 적용될 것으로 예측되나, 파운드리 선도기업인 TSMC, 삼성전자에서는 GAAFET 이 후 도입될 수 있는 CFET 기술에 대한 독자적인 개발을 진행하고 있으며 아직 초기 단계에 있음.
- (시장적 측면) 전세계 파운드리 시장은 CAGR 11% 이상의 시장 성장이 예상되는 바* 24년 3분기 기준 13% 정도에 머무르고 있는 우리나라의 글로벌 파운드리 시장점유율을 획기적으로 증대시키기 위해서는 최선단 소자향 공정개발이 선제적으로 이루어져야 함. 또한, 메모리 영역에서의 advanced CMOS 공정도입이 가시화됨에 따라 선제적인 기술개발을 통한 시장 대비가 필요함. * IC Insights (2023)
- (사회적 측면) 정부와 민간공동투자를 통해 최선단 소자구현 향 공정개발연구를 통해 기업수요형 기술연구를 경험한 핵심전문 석박사 고급인력의 양성 및 산업체 공급 병행이 필요함.

3. 활용분야

활용분야

- 인공지능과 자율주행 기술의 현실화를 위해 요구되는 고성능 AI 가속기, AI 주문형 반도체 생산에 적극 활용될 것으로 예상됨.
- 특히 CFET 기술은 3, 2nm에 도입되는 GAAFET 기술로 충분히 줄이지 못한 SRAM bitcell 면적을 약 40% 감소시킬 수 있어 SRAM 밀도 개선을 위해 활용될 수 있음.
- 또한 향후 메모리 소자에서도 cell-peri bonding 기술 등이 고려됨에 따라 더욱 적극적인 advanced CMOS 공정기술 도입이 예상됨.

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-M06		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제		<input type="checkbox"/> 복수형과제		<input type="checkbox"/> 국가핵심기술
	<input type="checkbox"/> 대형통합형		<input type="checkbox"/> 민간투자연계형		<input type="checkbox"/> 국제공동
	<input type="checkbox"/> 원스톱형		<input type="checkbox"/> 유연 컨소시엄		<input type="checkbox"/> 안전관리형
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	수직 집적형 CMOS INTEGRATION을 위한 고성능 P형 소자 요소 기술 개발				
	(TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 실리콘 소자가 마주한 Scaling 한계의 우회 기술로써, 수직 집적이 가능한 형태의 고성능 p형 박막 소제 개발 및 CMOS 구성을 위한 Integration 기술 개발. <ul style="list-style-type: none"> - 소자 구동 신뢰성 및 소재 열적 안정성 확보를 통한 수직 집적형 CMOS 구성. * 산업계의 Back end of line (BEOL) compatibility(<450°C)) 기준 준수 ○ (산업동향) 수직 집적형 CMOS 구현을 위한 M3D 기술로서 프랑스 LETI에서 상/하부 소자의 Bonding 기술을 개발함. 미국 MIT 및 삼성전자에서는 2차원 물질 전사를 통해 하부 M3D 기술을 구현함. 다만 NARLabs에서는 Si 소자 상부에 buffer 및 비정질 Si를 형성하고 결정화하는 비평형 열처리 공정을 통해 수직형 CMOS 기술을 구현함. 결론적으로 열 예산, 균일도 및 공정 비용 측면에서 기존 보고된 기술들의 한계를 극복하는 것이 요구됨. 즉, 상용화 가능성이 높은 새로운 소재의 integration을 통한 수직 집적형 CMOS 시스템의 구현이 필요한 단계임. 					
<div style="border: 1px dashed black; padding: 5px;"> ※ 핵심 목표 : 석사 12명이상, 박사 6명이상 자격검증 인력양성 (고급인력양성) </div>					
<ul style="list-style-type: none"> * 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 대면적 및 3차원 수직 집적이 용이한 기상 증착 공정 기반 고성능 p형 박막 소제 개발 및 CMOS 구성을 위한 소자 integration 요소기술 개발. <ul style="list-style-type: none"> - 20 cm²/Vs 이상의 정공 이동도 및 10⁶ 이상의 점멸비 성능을 동시에 갖는 p형 반 					

- 도체 박막 소재 합성 기술 및 소자 제작 기술 개발.
- 신규 p형 다성분계 반도체 박막 소재 제안 및 신규 소재를 도입한 소자 구현.
 - 박막 소재의 점결함, 표면, 및 계면 제어 기술 개발.
 - 우수한 wafer-scale uniformity(>99%)를 갖는 원자층 증착 공정 기술 개발.
 - BEOL-compatibility 및 열적 내구성(~400°C)을 동시에 확보할 수 있는 Sn 기반 소재 및 공정 개발.
 - n형 박막 반도체와 집적을 통한 CMOS 구동 기술 개발.
 - CMOS Integration 공정에서 발생하는 재료/공정적 한계 극복을 위한 요소기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 정공 이동도(cm²/Vs), 내열특성(°C), 공정온도(°C), inverter gain(V/V)등

2. 지원 필요성

지원필요성

- (정책적 측면) 국가주도 미래소재 기술 로드맵에 부합함. 반도체 초격차를 유지하기 위한 미래 소자/소재를 발굴하고 관련된 지식 재산권을 조기 선점하고자 함.
- (기술적 측면) n형 박막 반도체에 필적하는 성능의 p형 신규 소재 합성 기술 확보 및 integration 기술 개발을 통해 수직 집적형 CMOS 시스템을 구현함. 이는 기존 수평 방향의 scaling limit을 극복할 수 있는 우회 기술로 사용될 수 있음.
- (시장적 측면) 고성능 p형 소재와 박막 CMOS integration 기술을 통해 칩렛 관련 신규 시장을 확보할 수 있음.
- (사회적 측면) 반도체 소자/소재 개발 및 상용화 경험을 통한 실무형 고급 인재 양성

3. 활용분야

활용분야

- 수직 적층형 CMOS 시스템 구현
 - 실리콘 기반 CMOS logic 회로 상부에 적층형 CMOS TFT 집적을 통한 scaling limit 극복
 - TSV 기술 대비 초고속, 초집적, 광대역, 초절전 설계 및 시스템 개발(M3D)
 - BEOL 및 패키징단에서의 칩렛 CMOS 회로 구성
- 非실리콘 기반 p형 소재를 활용한 메모리/디스플레이 구동 다양화
 - 산화물 반도체를 사용한 V-NAND Flash 구동 가능성 확보
 - 투명 디스플레이 구동 회로 또는 LED의 hole-transport layer 구성

4. 지원기간/예산/추진체계

- 연구개발기간 : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2.985억원 이내(총 정부지원연구개발비 5.985억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-S01		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	인-센서 컴퓨팅 기반 멀티모달 온-센서 AI 플랫폼 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

개념

- 기존의 컴퓨팅 방식 대비 높은 에너지 및 면적 효율성을 갖춘 인-센서 컴퓨팅 기술을 기반으로, 다양한 센서의 데이터를 복합적으로 처리할 수 있는 멀티모달 온-센서 AI 플랫폼 개발
- 센서 내 컴퓨팅 기술을 활용하여 기존 컴퓨팅 방식에서 입력 장치와 컴퓨팅 장치 사이에 발생하던 신호 지연 문제를 극복하고 에너지 효율성을 향상 가능
- * 센서가 복합적으로 사용되는 미래 응용처에 핵심적인 역할 수행 가능

※ 핵심 목표 : 석사 10명이상, 박사 5명이상 자격검증 인력양성 (고급인력양성)

- * 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- Si 기반의 CMOS 공정을 기반으로 센서 어레이, 인터페이스 회로, 인-센서 컴퓨팅 기반 시스템을 모두 포함하는 멀티모달 온-센서 AI 플랫폼 개발
- 4층 이상의 반도체식 센서를 동일 기관 위 집적하는 기술 개발
- * 센서 종류는 호환 가능한 물리적 센서와 화학적 센서를 모두 포함 (특히, 영상센서, 음성센서 검토 필요)
- 인-센서 컴퓨팅 기능을 갖춘 센서 플랫폼 개발
- * 센서에 메모리 기능을 더해 소자 내에서 연산이 가능한 플랫폼 개발
- * 다양한 종류의 센서와 호환될 수 있는 플랫폼 개발
- 온-센서 AI를 구현하기 위한 에너지 효율적인 로직-메모리-센서 집적 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 센서(중), 센서모듈당전력소모(mW), 플랫폼전력소모(mW) 등

2. 지원 필요성

지원 필요성

- **(정책적 측면)** 초격차 프로젝트인 “주력산업 맞춤형 온-디바이스 AI반도체 기술 개발”과 관련하여, 저전력 저지연 구현이 가능한 멀티모달 센서-컴퓨팅 통합 기술을 개발함으로써, 모바일, 가전 등 국내 주력산업 경쟁력 확보가 가능할 것으로 기대됨.
- **(기술적 측면)** 센서 노드의 수가 기하급수적으로 증가하는 상황에서, 기존에는 모든 센서 데이터를 서버로 전송하여 처리하는 방식을 사용해 왔으며, 이는 상당한 통신 및 처리 비용 발생과 함께, 신호 지연과 높은 에너지 소모 문제를 초래함.
- **(시장적 측면)** AI 시대에 센서와 센서 데이터 처리에 대한 수요가 급증함에 따라 센서 시장이 지속적으로 성장하고 있으며, 저전력으로 센서 데이터를 센서 자체에서 처리하는 기술 개발의 필요성이 커지고 있음.
- **(사회적 측면)** 센서의 성능이 전자제품의 성능을 좌우하고 있는 상황이며, 센서 및 관련 시스템의 성능에서 초격차를 확보하는 것은 단순한 센서 기술력 향상에 그치지 않고, 핸드폰, 가전제품, 자동차, 로봇 등 다양한 분야에서 초격차를 가능케 할 것으로 기대됨

3. 활용분야

활용분야

- 모바일 및 스마트 가전 제품의 부품으로 활용
 - 스마트폰, 태블릿PC, 노트북 등 모바일 제품 및 TV, 냉장고 등 스마트가전 제품의 지능형 센서 응용 부품으로 활용
- 로봇, 자율주행차 등 다수의 센서가 집약된 제품의 부품으로 활용
 - 첨단 제조 로봇, 자율주행차, 차세대 모빌리티 등 다수의 센서를 요구하는 제품의 저지연 처리를 위한 지능형 센서 부품으로 활용

4. 지원기간/예산/추진체계

- **연구개발기간** : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 5억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-S02		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	메모리와 로직 반도체가 연동된 지능형 반도체 테스트 용이화 설계 기술 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

개념

- 메모리와 로직 반도체가 연동된 지능형 반도체의 테스트 및 수리에 대한 테스트 용이화 설계 기술로, 구체적으로 메모리부, 연동 로직부, 테스트 데이터 처리부로 구성
 - 메모리와 연동 로직이 결합된 새로운 구조에서도 높은 테스트 해상도와 높은 수리율을 달성 가능한 새로운 메모리 테스트·수리 구조, stacked cell을 고려한 대용량 테스트 데이터의 효율적인 고속 처리가 가능한 데이터 처리 기술을 포함

※ 핵심 목표 : 석사 10명이상, 박사 5명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- 메모리-로직 연동을 고려한 메모리 테스트 및 수리 구조
 - 기존 축적된 메모리 영역 단독 테스트 기술을 기반으로 메모리와 연동 로직의 연결성 및 기능성을 고려한 연동 동작 전용 테스트 기법 연구
 - 메모리-로직 반도체가 연동된 지능형 반도체에서의 메모리 테스트 응답 단독화를 해결할 수 있도록 연동 로직 독립적 메모리 테스트 기법 연구
 - 연동 동작 테스트 및 메모리 영역 단독 테스트에서의 고해상도 고장 검출을 위한 독립된 테스트 path를 확보하고 감축된 테스트 입출력 연결부를 구성한 내장 테

스트 용이화 구조 설계 기술 연구

- 메모리 수리 과정에서 연동 로직과의 기능적 연결성을 저해하지 않기 위해 수리 솔루션 동기화를 포함한 로직 독립적 메모리 수리 기술 연구
- 적은 수의 여분 자원으로 높은 메모리 고장 수리율을 달성할 수 있는 연동 로직 부-메모리부 분할 수리 경로 구조
- Stacked cell을 고려한 대용량 테스트 데이터 고속 처리 구조
- 다수의 고집적 메모리 셀들이 적층된 고대역폭 메모리를 위한 고용량 테스트 데이터 고속 처리 기술 개발
- 대량의 메모리 셀들의 테스트 데이터 결과에 대한 손실을 최소화하면서 높은 압축률을 갖는 테스트 데이터 압축 기술 개발
- 면적 활용성을 높이기 위해 디바이스 근접의 하드웨어를 이용하면서도 저지연 압축 및 높은 데이터 압축률을 지원하는 고효율 압축 구조 설계
- 압축된 데이터를 최소한의 하드웨어 오버헤드로 저장하고 저장된 정보를 불러오는 방식을 최적화하기 위한 알고리즘 기술 개발
- 압축 데이터 전송 지연을 최소화하고, 요구되는 물리적 인터페이스와 연결 방식에 대한 하드웨어를 설계하여 고속으로 대량의 데이터를 처리할 수 있는 고속 데이터 전송 인터페이스 설계 기술

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 수리율(%), 압축률(%), HW오버헤드(%) 등

2. 지원 필요성

□ 지원 필요성

- **(정책적 측면)** 초격차 프로젝트인 “주력산업 맞춤형 온-디바이스 AI반도체 기술 개발”과 관련하여, 메모리와 로직 반도체가 연동된 지능형 반도체의 테스트 및 수리 통합 기술을 개발함으로써, 국내 주력산업 경쟁력 확보가 가능할 것으로 기대됨
- **(기술적 측면)** 향후 메모리 반도체 시장을 주도할 지능형 반도체의 양산에 앞서, 신뢰성 및 생산성 확보를 위해 로직-메모리 연동 반도체의 발생 가능한 테스트 및 수리 문제를 선형적으로 연구하는 원천 기술 확보가 필요함
- **(시장적 측면)** 한국반도체산업협회에 따르면 지능형 반도체 시장 규모는 2020년 약 153억불에서 2024년 약 428억불로 성장할 것이라 예측되고 있으며, 고집적 메모리(DDR, LPDDR)의 활용이 확장되면서, 로직을 포함한 하나의 칩, 모듈 형태로 변화되고 있음
- **(사회적 측면)** 메모리와 로직 연동을 고려한 테스트 및 수리 구조 개발을 통해, 메모리-로직 간 상호작용 문제를 효율적으로 해결하여 인-메모리 컴퓨팅과 같은 다양한 반도체 응용 분야에서 초격차를 가능케 할 것으로 기대됨.

3. 활용분야

□ 활용분야

- 데이터센터향 및 엣지향 인공지능 반도체
- 고용량 데이터 처리가 필요한 데이터센터 및 저전력 구현이 필요한 엣지 디바이스를 위한 메모리-로직 연동 인공지능 반도체의 테스트 및 수리 기술로 활용

4. 지원기간/예산/추진체계

- **연구개발기간** : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 5억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-S03		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	<input type="checkbox"/> ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	고성능, 고연결성 칩렛 기반 SoC 구조 연구 및 이에 필요한 보안 요소 기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> 최근 반도체 칩의 복잡도 증가로 인해 모듈 단위로 칩을 나누어 양산하고 패키징하는 칩렛 기술의 수요가 급증하고 있으며, UCIe 인터페이스를 지원하며 고성능 및 고연결성을 제공 가능한 칩렛 기반 SoC 구조 설계 기술 개발이 필요. CXL 프로토콜 및 UCIe 인터페이스로 연결된 칩렛-SoC 구조 설계 기술, 보안 요소 기술 및 칩렛 아키텍처, 메모리 서브시스템간 성능 검증을 위한 시뮬레이터 개발 기술을 포함. 					
<div style="border: 1px solid black; padding: 5px; background-color: #fff9c4;"> ※ 핵심 목표 : 석사 10명이상, 박사 5명이상 자격검증 인력양성 (고급인력양성) </div>					
<small>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</small>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> CXL 프로토콜을 적용한, UCIe 인터페이스로 연결된 고연결성, 고성능 칩렛-SoC 아키텍처 설계 - 고대역폭, 대용량 메모리를 가진 이중메모리 기반의 분산형 칩렛-SoC 설계 - 가속기 중심 칩렛 기반 SoC에 필요한 보안 요소 기술 설계 - 서드파티 가속기 및 데이터관리 모듈 등 신뢰도가 상대적으로 낮은 IP 모듈로부터 칩렛-SoC 시스템 보안을 보장하기 위한 하드웨어 구조 설계 					

- 칩렛-SoC의 아키텍처 레벨 검증을 위한 시뮬레이터 개발
- 시뮬레이터를 활용해 칩렛-SoC 구조와 메모리 서브시스템간 기능/성능 검증
- 이중 메모리로 분산화된 칩렛-SoC 시스템에서 효율적인 데이터 처리를(예: LLM) 위한 최적의 데이터 스케줄링 기법 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 칩렛인터페이스속도(bps), 스케줄링성능(GPU대비/배) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 초격차 프로젝트인 “주력산업 맞춤형 온-디바이스 AI반도체 기술 개발”과 관련하여, 고연결성 및 고성능 지원이 가능한 칩렛-SoC 기술을 개발함으로써, 모바일, 자동차 분야 등 국내 주력산업 경쟁력 확보가 가능할 것으로 기대됨
- **(기술적 측면)** 반도체 칩의 복잡도 증가로 인한 수율 저하 문제 해결을 위해 칩렛-SoC 구조 설계 기술 개발이 필요하며, 아키텍처 레벨 검증을 위한 시뮬레이터 환경 구축과 함께 다양한 IP를 통합하기 위한 신뢰성 확보 기술 연구가 필요함
- **(시장적 측면)** Statistics MRC에 따르면, 세계 칩렛 시장은 81.9%의 CAGR로 2030년에는 4,494억 6,000만 달러 규모로 성장할 것으로 예상되며, 더 빠르고 더 높은 성능의 디바이스에 대한 소비자의 요구가 높아짐에 따라, 칩렛 기반 아키텍처의 채택은 크게 증가할 것으로 예상
- **(사회적 측면)** 인공지능 응용을 지원하는 디바이스 수의 급증으로 인해, 고성능 지원 반도체에 대한 수요도 계속 증가하고 있으며, 칩렛-SoC 구조 설계 기술 확보를 통해 온-디바이스 AI와 같은 다양한 반도체 응용 분야에서 초격차를 가능케 할 것으로 기대됨

3. 활용분야

활용분야

- 데이터센터향 및 엣지향 인공지능 반도체
- 고성능 및 고연결성 지원이 필요한 데이터센터 및 저전력 구현이 필요한 엣지 디바이스를 위한 칩렛-SoC 인공지능 반도체 설계 기술로 활용

4. 지원기간/예산/추진체계

- **연구개발기간** : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 5억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-P01		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	차세대 원자수준 패터닝을 위한 선택적 원자층 증착/식각 공정 및 표면 분석 기술 개발 (TRL : [시작] 3 단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 3차원 반도체 소자 구현을 위한 차세대 상향식 반도체 패터닝용 선택적 증착/식각 기반 원자 수준 패터닝 공정 기술 개발 - 3차원 반도체 소자 내 원하는 물질의 선택적인 박막 형성을 할 수 있는 영역 선택적 원자층 증착(area-selective atomic layer deposition, AS-ALD) 공정 개발 - 3차원 반도체 소자 내 원하는 물질의 선택적인 제거를 할 수 있는 등방성, 기저층 저손상 첨단 원자층 식각(atomic layer etching, ALE) 공정 기술 연구 - 다양한 화학종 흡착모델링부터 선택적 증착 및 패터닝구현까지 기술개발 					
<div style="border: 1px solid black; padding: 2px; margin: 5px 0;"> ※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성) </div>					
<small>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</small>					
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 물리/화학적 흡착 개선을 통한 고 선택비 영역 선택적 원자층 증착(area-selective atomic layer deposition, AS-ALD) 공정 기술 개발 - 기관종과 화학종 간의 상호작용 예측을 바탕으로 AS-ALD 박막 선택비 확보를 위한 표면처리 기술 및 요소 공정 기술 개발 - 다양한 물리/화학적 방법을 이용한 표면조절자 및 전구체/반응기 흡착 개선을 통한 핵생성 및 결정립 제어 					

- 표면조절자 및 전구체 소재의 선택적 흡착을 위한 촉매반응 기반 공정 기술 개발
- 다양한 화학종에 기반한 첨단 기저층 저손상 ALE 공정 기술 개발
- 다양한 화학종을 이용하여 volatile products를 만드는 표면화학 제어 공정 기술 개발
- 화학종의 흡착을 개선할 수 있는 다양한 첨단 공정 기술 개발
- AS-ALD 공정에 적용되어 supercycle 구성을 통해 고선택비를 성취할 수 있는 상향식 패터닝 공정 기술 개발
- 막질과 공정 메커니즘 및 식각물의 상관관계
- AS-ALD/ALE 공정 제어를 위한 표면 분석 기반 공정 메커니즘 규명
- In-situ 공정 모니터링(QCM/QMS)을 통한 반응 기구의 정밀한 분석 및 흡착 거동 제어
- 다양한 in-situ/ex-situ 표면 분석 기반 표면화학 반응경로 예측을 통한 AS -ALD/ALE 공정 메커니즘 규명
- 반응 메커니즘 분석을 통한 AS-ALD/ALE 공정 최적화 및 선택비 극대화 기술 확보: 다차원 패턴 구조 내 dielectric/metal 박막 선택비 구현
- 다양한 화학종 흡착모델링부터 선택적 증착 및 패터닝 구현까지 기술개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 박막 선택비, AS-ALD/ALE 공정균일도, 흡착 및 반응 효율 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 차세대 원자수준 패터닝을 위한 선택적 원자층 증착/식각 공정 및 표면 분석 기술 개발을 위해 고정밀, 고균일, 고종횡비 증착 기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임
- **(기술적 측면)** 반도체 양산 공정에 실질적으로 적용될 수 있으면서 높은 선택비를 갖는 AS-ALD 공정 개발이 필요하나 현재는 그 성숙도가 높지 않음. AS-ALD 기술 한계를 극복하기 위해서는 ALD 공정에 쉽게 호환될 뿐 아니라 공정 이후 contamination을 최소화할 수 있는 인히비터 물질의 선정, AS-ALD 공정 중 발생하는 선택비 상실 문제를 극복하기 위한 공정 메커니즘 규명, 제한된 선택비 한계를 극복하기 위해 비성장 영역의 표면 상태를 주기적으로 복원하는 선택적 원자층 증착/식각의 통합적인 공정 개발이 필요함
- **(시장적 측면)** 국내 삼성전자·SK하이닉스 등 반도체 소자 분야 제조 경쟁력은 세계 최고 수준이나 이에 반해 반도체 소재 및 장비의 국산화율은 각각 48%, 18% 정도에 그치고 있음. 특히 반도체 초미세 하향식(top-down) 패터닝의 핵심 소재인 포토레지스트 기반의 노광 공정의 경우 소재 및 장비의 국산화율이 0%로 해외 기업에 전적으로 의존하고 있음. 따라서 반도체 소자 패터닝용 소재/공정/장비의 국외 의존도를 낮추고 국내 반도체 시장의 지속적인 우위를 선점할 수 있는

원천 기술의 개발 및 확보가 필요함

- (사회적 측면) 차세대 로직/메모리 반도체 제조에 있어 상향식 패터닝의 미래 기술을 선도함으로써 우리나라 수출 주력 상품인 반도체 제조 산업의 초격차 경쟁력 확보에 핵심 기술로 활용 기대
- 4차 산업혁명의 핵심인 반도체 제조 기술 수준을 업그레이드 시킴으로써 사물인터넷, 의료전자 등 발전하고 있는 산업 시장에서 주도권을 선점하여 사회/경제적 발전을 이룩할 것으로 기대되며, 차세대 패터닝 분야의 소재/공정 전문가를 양성함으로써 지속적인 국가 경쟁력 확보를 위한 전문 고급 인력 양성에 기여 함

3. 활용분야

활용분야

- 현재 선풍 미세화 한계에 직면한 반도체 소자의 추가적인 고집적화 실현에 있어서, 지금까지의 하향식 패터닝 패러다임을 상향식으로 상보적으로 보완하여 직면한 공정 미세화 한계를 원천적으로 극복할 수 있음.
- 초미세화된 반도체 공정에 대응하여 3D V-NAND, DRAM 등 다양한 메모리 소자 및 FinFET, GAA 등 다양한 로직 반도체 제조 공정에 범용적으로 적용 가능
- 기존 반도체 소재/공정/장비 기술과 호환성이 높아 삼성전자 및 SK 하이닉스의 주력 공정 기술로 활용 기대

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-P02		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	원자층 in-situ 공정을 이용한 inhibitor-free 선택영역 증착기술 (TRL : [시작] 3단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 원자층 증착 및 식각을 포함하는 in-situ 공정을 기반으로 플라즈마를 이용한 박막의 표면 활성화를 통한 inhibitor-free한 선택영역 증착(Area Selective Deposition, ASD) 공정 기술 개발 ○ 높은 라디칼 밀도 확보를 위한 ICP(Inductively Coupled Plasma) 방식의 플라즈마 소스와 이온 에너지의 정밀한 조정을 위한 기관 바이어스 제어 시스템을 이용하여 원자층 증착 및 식각 단위 공정에서의 플라즈마 상태, 잔류 가스의 성분 농도 및 조성을 실시간으로 모니터링할 수 있는 장비 요소 기술 개발 ○ 상기 기술 및 장비를 활용하여 개발한 Dielectric on Dielectric (DoD), Metal on Dielectric (MoD), Dielectric on Metal (DoM), Metal on Metal (MoM) 공정 등을 이용한 DRAM 커패시터 및 NAND 전하포획 적층 구조에서의 상용화가 가능한 수준의 전기적 특성 확보 					
※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)					
* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력					

□ 개발내용

- 원자층 증착 공정 기반 inhibitor-free 선택영역 증착 기술 개발
 - 원자층 증착 공정에서의 전구체 및 반응가스의 조합 그리고 라디칼 반응, 기관 바이어스 등의 플라즈마 공정 조건에서의 기관의 표면 상태 변화와 선택영역 증착을 위한 핵생성 및 성장 제어 연구
 - 비성장 표면에서의 핵생성 사이트 형성 방지를 위한 공정시 발생할 수 있는 결합 및 불순물 저감 제어 연구
- 원자층 증착 및 식각 공정의 in-situ 프로세스를 위한 장치 개발
 - ICP 플라즈마 소스와 기관 DC 바이어스를 적용하여 식각 과정에서의 박막 손상 방지 및 선택영역 증착막의 균일도 향상 기술 개발
 - 플라즈마 상태 및 잔류 가스 분석을 이용한 실시간 모니터링 시스템 구축
- 선택영역 증착 응용 반도체 소자 제작 및 평가
 - 플라즈마 내의 라디칼 및 이온 등의 활용을 최적화하여 물질 표면의 결정 핵생성 속도 차이를 극대화한 상향식 자기 정렬 박막 패턴 제작
 - 개발된 선택영역 증착 공정 및 장비 기술을 활용하여 DRAM 커패시터 소자 및 NAND 전하포획 적층 소자를 제작하고 상용화가 가능한 수준의 전기적 특성 평가 수치 확보

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 Selectivity, 박막 두께(nm), 탄소 함유량(at%), 선택영역 증착속도(A/cycle) 등

2. 지원 필요성

□ 지원필요성

- (정책적 측면) 3D 반도체 소자 양산을 위해 고정밀, 고균일, 고종횡비 증착 기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임
- (기술적 측면) 최근 반도체 소자 구조가 복잡해지고 선폭 감소에 따라서 top-down 방식의 기존 공정은 리소그래피와 식각의 반복으로 인한 공정 복잡성, 시간과 비용 증가 및 EPE (Edge Placement Errors)에 따른 칩 수율 저하 등의 문제가 있는데 본 기술은 박막의 오염원으로 작용할 수 있는 inhibitor의 사용 없이 선택영역에만 고품질의 박막을 형성할 수 있는 혁신적인 공정기술임
- (시장적 측면) 반도체 공정이 고도화되고 공정이 미세화될수록 원자층 공정 장비에 대한 수요가 지속해서 늘어나고 있는데 선택영역 증착 공정 및 장비에 대해 선제적으로 원천 기술을 개발한다면 관련 장비 시장의 초기 선점 효과를 얻을 수 있음
- (사회적 측면) 반도체 관련 전문인력 양성을 통해 반도체산업 내 고질적 문제로 제기된 인력 부족 해소에 기여하여 반도체산업의 지속적인 경쟁력 확보가 가능함

3. 활용분야

□ 활용분야

- 시스템 반도체에서의 배선 위 capping layer 또는 DRAM 반도체에서 전극 위 high-k 유전체 형성 등에 적용이 가능함
- 3D DRAM 또는 차세대 NAND 소자제조에서 일반적인 top-down 방식의 공정으로 구현하기 힘든 트렌치 내부 공간의 패턴을 제조하는 공정에 활용 가능함

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-P03		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초			<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	무한 선택도를 갖는 영역 선택적 메탈 전극 박막 증착 공정 개발 (TRL : [시작] 3 단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념 <ul style="list-style-type: none"> ○ 자층 증착법 (Atomic layer deposition; ALD) 기반의 Ru 등 저저항 귀금속 물질 영역 선택적 증착 공정 개발 <ul style="list-style-type: none"> - SiO₂/Low-k/SiN에는 증착이 되지 않는 무한(>99.999 %) 선택비를 지닌 Cu/Mo/Ru/W 등의 증착하부 금속물질에 구현하는 영역 선택적 증착 공정 개발 - 높은 선택도의 영역 선택적 증착 공정을 구현하기 위한 표면 비활성화 기술 개발 - 귀금속 영역 선택적 증착 공정 기반의 DRAM 커패시터 및 금속 배선 형성 기술 개발 <div style="border: 1px solid black; padding: 2px; margin-top: 5px;"> ※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성) </div> <p>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					
<input type="checkbox"/> 개발내용 <ul style="list-style-type: none"> ○ 원자층 증착법 (Atomic layer deposition, ALD) 기반의 저저항 귀금속 영역 선택적 증착 공정 개발 <ul style="list-style-type: none"> - Ru 등 저저항 가능성이 확인된 귀금속 박막을 선택적으로 증착할 수 있는 ALD 공정 개발 - 증착 두께, Roughness, 및 균일성 제어를 위한 ALD 공정 변수 최적화 ○ SiO₂/Low-k/SiN에는 증착이 되지 않는 99.999 % 이상의 무한 선택비를 지닌 Cu/Mo/Ru/W 등의 증착하부 금속물질에 구현하는 영역 선택적 증착 공정 개발 <ul style="list-style-type: none"> - 30 nm 이상의 선택도를 갖는 귀금속 박막의 선택적 증착 공정 개발 					

- 반응 메커니즘 분석을 통한 공정 신뢰성 및 재현성 확보
- 3D 나노구조 및 복잡한 기판 지형에서도 30 nm 이상의 선택도를 유지할 수 있는 공정 프로세스인쇄 개발
- 높은 선택도의 영역 선택적 증착 공정을 구현하기 위한 표면 비활성화 기술 개발
 - 화학적 비활성화 제어를 통한 표면 반응성 조절
 - 표면 비활성화 기술로 형성된 functional group과 후속 영역 선택적 증착 공정에 사용되는 Precursor 간의 호환성 확보
- 귀금속 영역 선택적 증착 공정 기반의 DRAM 커패시터 및 금속 배선 형성 기술 개발
 - 누설전류 감소 및 우수한 전기적 성능의 DRAM 커패시터향 하부전극 선택적 형성 기술 개발
 - 금속 배선 및 확산 방지막으로 활용 가능한 선택적 귀금속 박막 증착 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 선택비, 저항(), 증착속도(GPC), 누설전류, 재현성 (%), 등

2. 지원 필요성

-
- 지원필요성**
- **(정책적 측면)** 무한 선택도를 갖는 영역 선택적 메탈 전극 박막 증착 공정기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임
 - **(기술적 측면)** 영역 선택적 증착 기술은 기존의 하향식 패터닝 공정에서 발생하는 정렬 오류 및 패턴 왜곡 문제를 해결할 수 있는 상향식 공정임.
 - 영역 선택적 증착 기술을 통해 불필요한 증착을 방지하고, 공정의 정확도와 효율성을 높여 제조 공정의 간소화를 실현할 수 있음
 - 귀금속은 낮은 전기저항과 우수한 화학적 안정성을 바탕으로 메모리 소자 및 금속 배선 등의 성능을 극대화할 수 있음
 - 귀금속 영역 선택적 증착 기술을 통해 복잡한 소자 구조에서도 높은 선택도와 균일성을 유지하여 공정의 정밀도를 높이고, 소자의 전기적 특성을 최적화할 수 있음
 - 5 nm 이하의 미세 패턴에서 기존 리소그래피 및 에칭 공정의 한계를 극복하여, 보다 정밀한 패턴을 구현할 수 있음
 - **(시장적 측면)** 2023년 기준 글로벌 반도체 시장 규모는 약 6000억 달러를 초과했는데, 특히 인공지능에 활용되는 HBM 및 연산소자 등의 고성능 및 고집적 제품에 대한 수요가 급증하고 있음
 - 기존의 ALD 증착 기술은 전면 증착 방식으로 인해 패터닝 과정이 필수적이며, 이는 공정 시간 및 제조 비용 증가의 원인이 됨
 - 지속적인 성능 개선과 비용 절감이 요구되는 반도체 시장에서 귀금속 영역 선택적 증착 기술은 공정의 간소화 및 공정의 높은 정밀도를 통해 시장에서의 경쟁력

을 크게 향상시킬 수 있음

- (사회적 측면) 공정 간소화로 인해 사용되는 화학물질의 양을 감소시켜 환경 영향을 최소화하며, 공정 에너지 소모를 줄여 탄소 배출 감소에도 기여함.
- 새로운 반도체 공정 기술의 도입은 관련 산업 내 고급 인력 수요를 창출하며, 기술 집약형 고용 기회를 제공함.
- 기술 상용화를 통해 고급 기술 인력 수요가 증가하고, 관련 산업 활성화와 고용 창출에 기여할 수 있음

3. 활용분야

활용분야

- 3D DRAM, 3D NAND 등 메모리, FinFET, GAA-FET, 등 로직 반도체의 미세 패턴 공정
- 5 nm 이하의 미세 패턴에서 기존 리소그래피 및 에칭 공정의 한계를 극복하기 위한 보다 정밀한 패턴 공정
- 메모리 셀의 미세화 및 성능 향상을 위해 귀금속 영역 선택적 증착법

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-P04	산업기술 분류	중분류 I	중분류 II	
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		반도체장비		
혁신도전형	<input type="checkbox"/> 세계최초	<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음		
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	Cu dishing 조절 CMP slurry 설계 및 post CMP cleaning 원천 기술				
	(TRL : [시작] 3단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 12인치상의 고용량 HBM 제조의 핵심공정으로 HBM hybrid bonding 기술을 구현하기 위한 Cu dishing 조절 CMP slurry 설계 및 post CMP cleaning 원천 기술 개발 - HBM향 Cu bump-to-Cu bump hybrid bonding 구현을 위한 Cu dishing 조절 가능한 CMP slurry 설계 및 원천 기술 확보 - Cu bump-to-Cu bump hybrid bonding interface 의 CuOx 층 free post Cu CMP cleaning 공정 및 cleaning chemical 설계 및 원천 기술 확보 					
<div style="border: 1px solid black; padding: 2px;"> ※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성) </div>					
<ul style="list-style-type: none"> * 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력 					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 12-inch wafer 기반 Cu bump 폭(0.2, 0.5, 1, 5, 10, 100 μm) 대비 Cu dishing 크기(dishing 깊이: 1, 5, 10, 20, 30, 50, 100 nm)에 따른 hybrid bonding 후 저온 annealing 온도(100~400℃)에 따른 bonding interface ability 연관성 조사 - 12-inch wafer 기반 Cu bump 폭 대비 Cu dishing 크기에 따른 hybrid bonding 후 annealing 온도에 따른 Cu dishing 변화 상관관계 도출 - 12-inch wafer 기반 Cu bump 폭 대비 Cu dishing 크기에 따른 hybrid bonding 후 annealing 온도에 따른 bonding interface의 remaining void의 diameter 및 					

height 의존성 추출

- 12-inch wafer 기반 Hybrid bonding 후 post annealing 온도에 따른 bonding interface의 remaining void의 diameter 및 height 의존성 조사에 따른 최적 Cu bump 폭 대비 Cu dishing 크기 설계
- HBM향 Cu dishing 조절 가능 CMP slurry 설계
 - 12-inch wafer 기반 Cu:SiO₂-film 연마율 선택비(100:1~1:1)에 따른 Cu bump 폭 변화에 따른 Cu dishing 크기 상관관계 도출
 - 12-inch wafer 기반 CMP slurry에 dishing 조절제 농도에 따른 Cu bump 폭 변화에 따른 Cu dishing 크기 상관관계 도출
 - CMP slurry의 abrasive 재료(ZrO₂ or colloidal silica)에 따른 Cu bump 폭 대비 Cu dishing 의존성 조사
 - CMP slurry의 abrasive diameter 및 solid loading weight에 따른 Cu bump 폭 대비 Cu dishing 의존성 조사
 - Cu CMP slurry의 분산제, 산화제, 연마율 촉진제, dishing 조절제, pH 조절제, TaN 연마율 조절제, 친수성 조절제, 부식 방지제 설계
 - Cu CMP slurry의 분산제, 산화제, 연마율 촉진제, dishing 조절제, pH 조절제, TaN 연마율 조절제, 친수성 조절제, 부식 방지제 농도에 따른 Cu-, TaN-, SiO₂-film 연마율, Cu dishing 크기, CMP 후 Cu-film surface roughness, corrosion potential & current, Cu-film 흡착 degree(hydrophilicity)의 의존성 data 확보.
 - Cu-film CMP slurry 안정성 평가 및 안정성 향상을 위한 slurry 재설계
 - 2-step Cu-film CMP(1st Cu bulk CMP + 2nd Cu BM CMP) 혹은 1-step Cu-film CMP slurry 최적 설계
- Cu bump-to-Cu bump hybrid bonding interface 의 CuOx 층 free post Cu CMP cleaning 공정 및 cleaning chemical 설계
 - 12-inch wafer 기반 2-step brush 적용 post CMP cleaning 공정 설계
 - Cleaning chemical 설계 : CuOx 제거율 최대화 및 remaining particle 최소화 가능 cleaning chemical 설계

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- Cu Polishing rate@300mm wafer (nm/min) , Surface roughness (nm) , TaN Polishing rate@300mm wafer (nm/min), Cu : TaN : SiO₂ Polishing Rate Selectivity, Erosion (nm), Dishing (nm), Remaining scratch after CMP, Remaining CuO₂ layer height @ Cu bump to Cu bump Interface 등

2. 지원 필요성

지원 필요성

- (정책적 측면) Cu dishing 조절 CMP slurry 설계 및 post CMP cleaning 원천 기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임

- (기술적 측면) 현재 Cu bump-to-Cu bump hybrid bonding은 CMOS 이미지센서에 적용중. 국내 삼성전자의 Cu CMP 연 사용 금액은 약 323 억 이고, SK-hynix의 연 사용 금액은 약 100 억 이 중 약 5% 인 21억 정도를 차지하는 것으로 추정
 - 향후 수 년 후, 12단 이상의 HBM 에 월 12-inch wafer 30~50 만 장의 HBM 용 웨이퍼를 투입할 것으로 예상되며, hybrid bonding을 적용할 시 Cu CMP slurry 및 cleaning chemical 사용 금액은 약 21억 정도로 예상
- (시장적 측면) Cu dishing 조절 Cu CMP slurry와 CuOx 층 free post Cu CMP cleaning 공정의 원천 기술의 확보 및 국내 CMP slurry 및 cleaning 업체로의 기술 이전을 통한 삼성전자와 SK-hynix에 공급을 함으로써 HBM의 hybrid bonding 공정 기술의 글로벌리더십 확보가 가능
- (사회적 측면) 고용량 HBM의 Cu bump-to-Cu bump interface 의 CuOx free 구현은 HBM에서 발생하는 발열을 최소화 구현 가능. 이를 통한 AI 가속기의 소모 전력을 최소화 시킬 수 있는 ESG 효과 실현 가능.
 - Cu dishing 조절 Cu CMP slurry 개발과 CuOx 층 free post Cu CMP cleaning chemical 개발은 국내 Cu CMP slurry 및 CMP cleaning chemical 업체의 글로벌 경쟁력이 있는 기술 확보 및 매출액 증가를 유도.
 - 특히, 본 과제 의 원천 기술 연구는 삼성전자와 SK-hynix의 HBM 제조 공정 전문 석, 박사 인력 양성이 동반됨

3. 활용분야

활용분야

- 12단 이상의 고용량 HBM hybrid bonding 공정 기술
 - Cu dishing 조절 Cu CMP slurry 설계와 CuOx 층 free post Cu CMP cleaning 공정 기술 조기 확보

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-P05		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	HAR 식각공정용 Narrow-Gap 방전에서의 플라즈마 밀도 진단을 위한 전자빔 시공간 광방출 측정 원천기술 개발 (TRL : [시작] 3단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> HAR 식각공정용 Narrow-Gap 방전에서의 플라즈마 밀도 진단을 위한 전자빔 시공간 광방출 측정 원천기술 개발 <ul style="list-style-type: none"> 챔버 내부에 측정기가 설치되는 것이 아닌, 챔버 뷰포트에서 비간섭식으로 플라즈마의 시공간 광방출 특성 측정을 통하여 전자빔의 발생을 검출하고, 전자빔의 위상차를 통한 플라즈마 밀도를 정밀하게 측정하는 방법임. 공정 기체의 종류에 상관없이 플라즈마 밀도 측정이 가능하며, HAR 식각공정에서 대단히 중요한 Edge 및 Center의 플라즈마 특성을 구별하여 측정할 수 있음. 비침투식 비간섭식으로 HAR 식각공정용 Narrow-Gap 방전에서 플라즈마를 정밀하게 측정하기에, 기존 공정 한계를 극복할 수 있는 고종횡비 공정 기술 및 초격차 유지에 핵심기술 					
<p>※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)</p> <p>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> HAR 식각공정용 Narrow-Gap 방전에서의 플라즈마 밀도 진단을 위한 전자빔 시공간 광방출 측정기 원천기술 개발 <ul style="list-style-type: none"> Narrow-Gap 방전장치에서의 시공간 광방출 측정기 개발 전자빔 검출을 통한 플라즈마 밀도 측정기술 개발 					

- 2~4 cm 영역의 방전 갭, 압력, 전력(전압), 기체에 따른 Edge 및 Center 방전 특성 측정
- HAR 식각공정에서 Narrow-Gap 방전의 광방출 측정기와 식각 공정 간의 정합성을 확보하기 위해, 다양한 식각가스에 대한 식각 데이터와 광방출 데이터의 상관관계를 분석기술 개발
- Edge 및 Center 영역의 플라즈마 및 식각 특성의 연관성 규명과 이를 기반으로 한 측정 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
- 시간/공간 분해능, 균일도 개선 목표(%), Edge 식각 프로파일 (deg) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** HAR 식각공정용 Narrow-Gap 방전에서의 플라즈마 밀도 진단을 위한 전자빔 시공간 광방출 측정 원천기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임
- **(기술적 측면)** Narrow-Gap 방전에서 비간섭식으로 플라즈마 밀도를 측정할 수 있는 기술에 대하여 전 세계적으로 연구개발의 필수성이 인식되고 있으나, 이에 대한 대안이 없는 실정임
 - 그에 따라서, 제안 기술은 시장적·기술적·ESG 측면에서 반드시 지원이 필요한 분야이며, 소자·장비 업체에서 Narrow-Gap 방전에서의 플라즈마 밀도 측정기술에 대한 수요가 대단히 높고, 글로벌 초격차 경쟁력 확보를 위한 핵심기술이기에 지원이 필요함
- **(시장적 측면)** 반도체 메모리 구조는 고종횡비 (High Aspect Ratio, HAR) 3차원 고집적화되고 있으며, 그에 따라서 고집적도 달성에 따른 초격차 유지가 반도체 소자 산업의 패권을 쥐고 있음.
 - 소자·장비 업체에서 Narrow-Gap 방전에서의 플라즈마 밀도 측정기술에 대한 수요가 대단히 높고, 글로벌 초격차 경쟁력 확보를 위한 핵심기술이기에 지원이 필요함
- **(사회적 측면)** 반도체 관련 전문인력 양성을 통해 반도체산업 내 고질적 문제로 제기된 인력 부족 해소에 기여하여 반도체산업의 지속적인 경쟁력 확보가 가능함

3. 활용분야

활용분야

- V-NAND Flash / D-RAM 메모리 고종횡비 식각 공정 모니터링을 통한 소사업체 공정 수율 개선
- HAR 식각공정 국산화 공정
- 차세대 센서 결합형 지능형 공정장비

4. 지원기간/예산/추진체계

- **연구개발기간** : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-P06		산업기술	증분류 I	증분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	TSV CMP 계면 defect 개선 기술 개발 (TRL : [시작] 3 단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ HBM용 TSV CMP 계면 defect 개선 기술 개발 - TSV CMP 공정은 여타 CMP 공정들과 비교하여 장시간의 공정 시간을 요하므로 공정 조건 및 소모품들의 최적화를 통한 안정성 확보가 중요하며, 각 연마 막질들에 대한 일정 수준의 연마 성능과 선택비 조절, CMP 공정 후 표면 결함의 최소화 달성을 위한 기술 개발 - TSV CMP 공정 대상 계면 defect 개선 - TSV CMP용 Buff cleaning 공정 개발 - TSV CMP 공정 최적화를 통한 defect 개선 					
※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)					
* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ TSV CMP 공정 중 표면 particle defect 제어 - Deep learning을 활용하여 fine particle (입자 크기 ≤ 20 nm) 계측 기술 개발 및 정확도 90% 확보 - 저농도 (solid contents ≤ 3 wt%*) abrasive slurry 개발 (목표 연마율: TEOS 1k Å/min, Cu 1k Å/min, N 500 Å/min) *Commercial slurry 연마 입자 농도: 10 wt% 					

- TSV CMP의 원자레벨 결함 해석
 - CMP 공정 중 발생하는 스크래치, 잔류미세입자, 비아홀 침식 이외의 나노미터 스케일의 결함 규명
 - Hybrid Bonding 후의 TEM 기반 계면 구조 해석을 위한 분석 기술 개발
 - Hybrid Bonding 계면의 냉각 (-150°C), 가열 (200°C), 전기장/전류 인가에 의한 계면 안정성 분석 기술 개발
- TSV CMP 공정 중 표면 metallic defect 제어
 - in-situ 표면 전기화학 측정 시스템 구축
 - CMP 공정 중 표면 전기적 특성 변화를 실시간 모니터링하고 및 정량적 분석 방법 확보
 - 슬러리 첨가제 (부식억제제, 킬레이트제, 산화제 등) 개발을 통한 galvanic corrosion, metal loss 등 금속 층의 부식 최소화
- TSV CMP용 Buff cleaning 공정 개발
 - Buff cleaning 공정용 세정액 개발
 - Buffing CMP cleaning 공정 중 잔류 입자 최소화를 위한 수치해석 및 실험 기반 최적 공정 조건 제시 (Cleaning efficiency > 95%)
- TSV CMP 공정 최적화
 - 슬러리, 패드, 컨디셔너, 필터 등 소모품 등의 통합적인 평가를 통한 공정 최적화

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- Cu, barrier layer 연마율(Å/min), scratch, 표면거칠기(nm), corrosion, 잔류입자 세정효율(%) 등

2. 지원 필요성
<input type="checkbox"/> 지원필요성
<ul style="list-style-type: none"> ○ (정책적 측면) TSV CMP 기술을 요하는 HBM 생산 글로벌 시장은 2022년 기준 한국 기업들이 90% 이상에 육박하는 초고점유율을 달성함에 반해, HBM 고적층 달성을 위한 TSV CMP 공정 소모품 시장은 미국, 일본 등의 국외 기업들에 의해 점유율을 확보하지 못한 실정임. HBM 수요의 폭증으로 인한 시장 규모는 향후 5년 후 63억 달러 규모의 3배 성장이 예견되며, 국내 기업들의 HBM 시장 경쟁력을 유지하기 위해서는 TSV CMP slurry를 포함한 국내 중소·중견 기업의 성장을 통한 내수시장 확보가 필수불가결함 ○ (기술적 측면) 기술의 발전에 따라 인공지능, 기계학습, 대규모 시뮬레이션과 같은 단시간에 대량의 데이터 처리 및 전송 능력을 발휘할 수 있는 디바이스·어플리케이션의 성능 향상이 요구되고 있으며, 이를 달성하기 위한 차세대 메모리·반도체의 개발·발전이 요구되고 있음. - TSV CMP 공정 특성으로 인해 barrier metal slurry의 정밀 개발이 요구되므로

국내 슬러리 생산 기업들에 대한 지원의 중요도가 부상하고 있음

- (시장적 측면) 3D TSV 디바이스의 글로벌 시장 규모는 2022년 기준 60억 달러에 달하며, 이는 2030년까지 약 4.7배에 달하는 280억 달러까지 큰 폭으로 확장될 전망이다. 아울러 TSV CMP를 포함한 CMP 글로벌 시장 규모는 2022년 기준 약 540억 달러에 달하며, 2032년까지의 연평균 성장률이 5%로 예견되는 만큼 국내 기업들의 TSV CMP 공정 소모품의 시장 점유를 위한 지원이 중요해지고 있음.
- 복합 박막의 연마·평탄화를 목적으로 하는 TSV CMP slurry의 개발에서 평가된 화학 첨가제들의 각 단일 박막 (Cu, barrier metal, dielectric) 사이의 물리적, 화학적 상호작용들은 NAND, Logic, 트랜지스터 등의 제조를 위한 타 CMP 공정의 slurry 개발 및 최적화에 적용하여 추후 국내 기업들의 산업 시장 범위를 확장시킬 수 있음
- (사회적 측면) TSV CMP 계면 defect 개선 기술 개발은 국내 기술 자립도를 강화하고 고급 인력 양성을 통해 반도체 산업의 지속적인 발전을 지원할 수 있는 중요한 역할. 고도화된 CMP 소모품 개발을 통해 국내 중소·중견 기업의 성장 기회를 마련하고, 지역 경제 활성화 및 일자리 창출에 기여. 이는 전반적인 반도체 산업의 생태계 발전과 안정성 강화에 중요한 기반을 제공하여, 국내외 시장에서의 경쟁력 및 기술적 주도권 확보에 기여

3. 활용분야

활용분야

- 첨단 패키징 분야
 - 금속·산화막 CMP 공정의 TSV 용 CMP 소모품·장비 및 공정 제어 시스템
 - 타 CMP 공정에서의 공정 최적화 및 결함 제어

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-P07		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	최적의 선택비 조절 가능한 barrier metal CMP slurry 기술 개발 (TRL : [시작] 3단계 ~ [종료] 5 단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
○ HBM용 barrier metal CMP slurry 기술 개발					
- TSV CMP 공정에 적용 가능한 최적의 연마율 및 선택비 조절 barrier metal CMP slurry 개발					
- TSV CMP 공정 후 박막 표면 결함의 최소화 달성 (Post-CMP cleaning 공정을 고려한 최적화 포함.)					
- TSV CMP 공정용 one-step slurry 개발					
※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)					
* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력					
<input type="checkbox"/> 개발내용					
○ Cu/barrier metal/dielectric 박막에 대한 연마율 및 선택비 달성					
- 새로운 화학 첨가제 (부식억제제, 착화제, 산화제)를 통한 화학적 방법 및 입자 합성, 표면 개질을 통한 물리적 방법을 활용하여 다중 박막 최적 연마율 및 선택비 달성					
- Cu 막질 연마 영향 인자 확보 (입자, 부식억제제, 착화제, 산화제 등) 및 연마율 조절 (1K ~ 7K Å/min 수준)					
- 기존 Barrier metal (TaN, TiN) 보다 낮은 저항을 가지는 새로운 metal (Mo, Ru, Co 등)의 연마 영향 인자 확보 및 연마율 조절 (500 ~ 2K Å/min 수준)					

- SiO₂ SICN, polymer (polyimide, BCB 등)을 dielectric 막질로 사용하여 연마 영향 인자 확보 및 연마율 조절 (1K ~ 2K Å/min 수준)
- 각 박막에 대한 slurry의 최적 연마 선택비 달성을 통해 다중 박막 표면 dishing, protrusion을 ~10 nm 이하로 조절 (Cu : barrier metal : dielectric ≈ 1:1:1)
- TSV CMP 공정 표면 결함의 최소화 달성
 - 신규 inhibitor 개발/합성을 통한 TSV CMP 과정에서 발생하는 Galvanic corrosion, metal loss 등 금속 막질 부식 평가 및 제어
 - Scanning mobility particle sizer (SMPS)를 이용하여 입자 계측 및 Tangential flow filtration 시스템을 이용하여 응집된 입자 제거 (300nm 이상)를 통해 미세 스크래치 최소화, 낮은 표면 거칠기 (0.5 nm 이하 수준) 달성
 - Post CMP cleaning 공정을 고려한 최적화
- TSV CMP 공정 최적화 슬러리 개발
 - 기존 공정에서 나누어져 있던 Cu CMP 와 barrier metal slurry를 통합하는 one-step TSV CMP slurry 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - Cu, barrier layer, dielectric layer 연마율(Å/min) 및 선택비, dishing 및 protrusion(nm), corrosion, 표면 거칠기(nm), scratch 등

2. 지원 필요성

지원 필요성

- **(정책적 측면)** HBM 생산시장은 한국 기업이 장악하고 있지만, 외국 기업이 장악하고 있는 TSV CMP (bulk Cu CMP, barrier metal CMP) 소모품에서는 뒤처짐. HBM 수요가 크게 증가할 것으로 예상되 국내 중소기업의 시장 점유율 확보를 지원하는 것이 중요함. 전 세계 CMP 슬러리 관련 특허의 79%를 한국 기업이 보유, 낮은 점유율임에도 기술력이 높음. 정부의 지원은 글로벌 시장에서 국내 기업의 경쟁력을 더욱 향상 시킬 수 있음
- **(기술적 측면)** TSV CMP 공정은 여타 CMP 공정과 비교하여 장시간동안 진행되는 특성으로 인하여 안정적인 연마·평탄화 달성 및 저결함의 품질을 보장할 수 있는 CMP 소모품 개발과 End point detect (EPD) 최적화 등이 공정의 주요 매개변수로 주목받고 있음. 나아가, 구리막, 절연막, barrier metal을 포함한 다중막 대상의 세밀한 연마·평탄화 작업과 선택비를 동시에 달성해야 하는 TSV CMP 공정 특성으로 인해 barrier metal slurry의 정밀 개발이 요구되므로 국내 슬러리 생산 기업들에 대한 지원의 중요도가 부상하고 있음
- **(시장적 측면)** 3D TSV 디바이스의 글로벌 시장 규모는 2022년 기준 59억 달러에 달하며, 이는 2030년까지 약 4.7배에 달하는 280억 달러까지 큰 폭으로 확장될 전망이다. 아울러 TSV CMP를 포함한 CMP 글로벌 시장 규모는 2022년 기준 약 540

억 달러에 달하며, 2032년까지의 연평균 성장률이 5%로 예견되는 만큼 국내 기업들의 TSV CMP 공정 소모품의 시장 점유를 위한 지원이 중요해지고 있음

- **(사회적 측면)** 반도체 산업의 규모는 나날이 확장되고 있으며 설계, 제조, 판매에 걸쳐 기술자와 엔지니어를 포함한 수많은 일자리를 창출하고 있음. 이러한 고용 수요는 STEM 분야의 교육 프로그램 및 기술 및 엔지니어링 경력에 대한 인식과 참여를 높일 수 있으며, 반도체 제조 분야의 종업원들을 글로벌하게 연결하여 커뮤니케이션과 협업을 촉진하는 매개가 될 수 있음. 나아가 이는 국내 반도체 제조에 관련된 소모품, 장비 제조업과 관련된 중견/중소 기업의 성장에 탄력을 가할 수 있으며, 시장 경쟁력 외 다수의 일자리 창출 및 교육 프로그램 강화로 이어질 수 있음

3. 활용분야

활용분야

- 첨단 패키징 분야
 - WIDE I/O TSV 개발을 통한 기존 모바일 DRAM 대비 빠른 처리 속도의 융복합 반도체 제작
 - 타 CMP 공정 대상 slurry의 최적 CMP 소모품 개발을 통한 관련기술 조기상용화

4. 지원기간/예산/추진체계

- **연구개발기간** : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-P08		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체장비	
혁신도전형	<input type="checkbox"/> 세계최초	<input type="checkbox"/> 세계최고		<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	CXL 메모리를 위한 수직형 셀렉터 온리 메모리용 칼코겐화합물 영역선택적 원자층증착공정 원천기술 개발 (TRL : [시작] 3단계 ~ [종료] 5 단계)				

1. 개념 및 개발내용

□ 개념

- CXL 메모리를 위한 수직형 셀렉터 온리 메모리용 칼코겐화합물 영역선택적 원자층증착공정 원천기술 개발
 - 수직형 셀렉터-온리 메모리용 듀얼기능재료의 최적화된 조성을 개발하고, 원자 수준의 선택적 증착 공정용 전구체 소재를 개발하며, 원자층 증착 박막 성장공정을 확립함
 - 수직 구조 메모리에서 메모리 층간에 독립적인 메모리 동작을 위해서전극 층 위에만 선택적으로 물질을 형성할 수 있는 원자단위 패턴 성장 기술 (AS-ALD) 기술 개발
 - 듀얼기능재료 원자 수준 선택적 박막 형성 공정개발
 - 듀얼기능재료 박막 공정 기술에 적용 가능한 전구체 소재 및 인히비터 소재 개발
 - 듀얼기능재료 최적 소재 개발 및 셀렉터-온리 메모리 특성 확보
 - 동작 메커니즘 및 고신뢰성 OTS 물질 개발
- * 칼코제나이드(Chalcogenide) : 최소한 하나의 16족(칼코젠) 원소와 하나 이상의 양전성 원소로 구성된 화합물
- * OTS(Ovonic Threshold Switch) : 2단자 대칭 전압 감지 스위칭 소자. 높은 저항 상태에서 전도 상태로 전환된 후, 전류가 유지, 전류값 아래로 떨어지면 다시 높은 저항 상태로 복귀하는 트랜지스터

※ 핵심 목표 : 석사 12명이상, 박사 6명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

□ 개발내용

- 듀얼기능재료 원자 수준 선택적 박막 형성 공정개발
 - 신규 전구체 기반 듀얼기능재료 원자층 증착 공정개발 및 단차 피복성 확보
 - 인히비터 및 전구체 소재의 선택적 흡착 특성 기반 AS-ALD 박막 선택비 확보 공정 기술 개발
 - AS-ALD 박막 선택비 극대화를 위한 첨단 요소 공정 기술 개발
- 듀얼기능재료 박막 공정 기술에 적용 가능한 전구체 소재 및 인히비터 소재 개발
 - 듀얼기능재료 ALD 공정용 신규 유기 금속 전구체 개발
 - 흡착 특성 선택적 조절용 인히비터 소재 개발
 - 듀얼기능재료의 인히비터 감응형 AS-ALD 공정용 유기 금속 전구체 기술 개발
 - 전구체 소재 및 인히비터 소재 대량 합성 기술 개발
- 듀얼기능재료 최적 소재 개발 및 셀렉터-온리 메모리 특성 확보
 - 듀얼기능재료의 동작 특성이 최적화된 조성 개발
 - 단일 및 수직형 소자 기술 개발
 - 셀렉터-온리 메모리 특성 확보

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 박막증착률 (Å/min), 선택비, 단차피복성, 스위칭 동작 특성 등

2. 지원 필요성

□ 지원필요성

- (정책적 측면) CXL 메모리를 위한 수직형 셀렉터 온리 메모리용 칼코겐화합물 영역선택적 원자층증착공정 원천기술의 선점과 관련 반도체 국내 장비업체의 자립화를 위해 정부의 지원이 필요한 시점임
- (기술적 측면) 우수한 성능으로 CXL 메모리로서의 가능성이 크지만, 동작 원리, 소재, 공정 연구 모든 측면에서 초기 단계이므로 정부와 학계가 집중적인 연구개발을 통해 기술적인 과제를 해결해나갈 필요가 있음
- AI 학습 및 추론으로 대변되는 최신 컴퓨팅 기술은 데이터와 모델의 크기가 증가함에 따라 필요로 하는 메모리의 양이 기하급수적으로 증가하고 있음. 이를 해결하기 위해 도입이 필요한 CXL 메모리용 셀렉터-온리 메모리는 빠른 속도와 높은 집적도, 비휘발성을 특징으로 하고 있어 당면한 기술적 문제를 해결할 수 있을 것으로 예상됨
- (시장적 측면) 셀렉터 온리 메모리의 개발을 위해서는 소재-장비-소자 연구 및 제조 기관이 공동의 연구 목표를 설정하고 기술을 개발할 필요성이 있으나 현재 시장에서 삼성전자, SK Hynix는 개별 기관의 연구를 진행하고 있고, 소재, 장비 기업은 불확실성으로 인해 연구개발 투자를 주저하고 있어 정부 주도의 지원을 통해 시장에 마중물 역할을 할 필요가 있음

- (사회적 측면) 기존의 PC 또는 스마트폰을 필두로 한 반도체 시장이 주도하는 시장을 넘어 AI 산업혁명 기초 확산에 따라 LLM, 자율주행차, 사물인터넷(IoT), 의료전자, 웨어러블 시스템 및 빅데이터 등의 신성장 산업군이 동시다발적으로 반도체 산업을 활성화할 것이라 분석되어 반도체 수요는 더욱

3. 활용분야

활용분야

- CXL 메모리용 셀렉터-온리 메모리 소자
- 수직형 셀렉터 온리 메모리

4. 지원기간/예산/추진체계

- 연구개발기간 : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2.985억원 이내(총 정부지원연구개발비 5.985억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-E01		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대용통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	반도체 공정향상과 VM 기술을 위한 고정밀 플라즈마 간접진단기술				
	(TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 반도체 공정향상과 VM 기술을 위한 고정밀 플라즈마 간접진단기술 <ul style="list-style-type: none"> - 고정밀/고속 플라즈마 전기적 간접진단기술 개발 - 고정밀 플라즈마 균일도 초고주파 간접진단기술 개발 - 고정밀 플라즈마 광 간접진단기술 개발 					
<div style="border: 1px dashed black; padding: 5px; background-color: #fff9c4;"> ※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성) </div>					
<p>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 고정밀/고속 플라즈마 전기적 간접진단기술 개발 <ul style="list-style-type: none"> - 고선형 VI 센서 개발 ($R^2 \geq 0.99$) - 플라즈마 회로 모델링 개발 (모델링 1 ea) - 고속 측정용 전류전압 해석 모델 개발 (데이터 확보 시간 ≤ 1 s 및 측정 정확도 $\geq 80\%$) ○ 고정밀 플라즈마 균일도 초고주파 간접진단기술 개발 <ul style="list-style-type: none"> - 다중 패치형 컷오프 탐침 기술 개발 (probe array 개수 ≥ 5 및 측정 정확도 $\geq 80\%$) ○ 고정밀 플라즈마 광 간접진단기술 개발 <ul style="list-style-type: none"> - 플라즈마 광방출 해석 모델링 개발 (모델링 1 ea 및 측정 정확도 $\geq 80\%$) 					

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 모델링 개발건수(건), 해석모델 데이터 확보시간(s) 및 정확도(%), 탐침 개발건수(건) 및 정확도(%) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 2050 탄소중립을 실현하기 위해 반도체 공정의 온실가스 배출 저감 관련한 기술 수요가 증가하고 있음. 실시간/고정밀 반도체 공정 모니터링은 공정 최적화 및 공정 이상을 감지하여 제조 수율 향상 뿐 만 아니라 온실가스 배출량 저감에 큰 기여를 할 수 있는 기술임
- **(기술적 측면)** 반도체공정 장비는 내부 공간이 협소하고 내부 모니터링을 위한 진단 포트가 제한적인 상황. 실시간/고정밀 공정 모니터링을 위해 외부 신호를 통합 및 해석하여 가상으로 공정 내부를 관찰하는 가상 계측 (Virtual Metrology) 기술이 연구개발 되어 지고 있음. 이러한 가상 계측의 정밀도를 향상시키기 위해 알고리즘 연구, 데이터 프로세싱 연구, 플라즈마 모델링 및 하드웨어 개발 연구가 진행중임
- **(시장적 측면)** 반도체 공정 난이도 상승에 따른 공정비용 증가 및 수율 저감으로 인해 반도체 산업이 난항을 겪고 있는 상황. 이를 타개하기 위한 제조 수율 증가 및 탄소중립 실현을 위한 기술에 대한 수요가 증가하고 있음. 이를 구현하기 위한 방법 중 하나인 공정 가상 계측 기술이 연구개발 되어 지고 있으며, 기술의 정밀도를 향상 시키는 기술에 대한 수요가 계속해서 증가하고 있는 상황.
- **(사회적 측면)** 전 세계적으로 탄소중립 실현을 위해 반도체 소자·부품·장비 등 민간에선 관련 기술 개발의 필요성을 크게 느끼고 있으며, 정부에서도 관련 기술의 연구개발비를 적극 투자하고 있는 상황. 세계적인 규제를 극복하여 반도체 초격차를 만들기 위해선 정부·민간의 지속적인 투자를 통해 관련 기술의 전문인력 양성이 절실한 상황

3. 활용분야

활용분야

- 반도체 제조 플라즈마 공정 모니터링
 - 실시간 플라즈마 공정 모니터링을 통한 반도체 공정 최적화 및 이상감지를 통한 수율 증대 예상
 - 실시간 공정 모니터링을 통해 탄소배출 저감 활용 가능
- 반도체·디스플레이 제조 플라즈마 공정 모니터링
 - 본 기술은 반도체 제조 공정 뿐만아니라 디스플레이 제조 공정에도 활용 가능할 것으로 기대

4. 지원기간/예산/추진체계

- **연구개발기간** : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-E02		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E	<input type="checkbox"/> S	<input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	3D DRAM 대응 초고유전율 극박막 소재 및 공정 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

□ 개념

- 초고집적화에 따른 DRAM 셀 트랜지스터의 미세화 한계에 봉착
 - 글로벌 종합 반도체 기업은 물리적 선폭 한계를 극복하기 위해 메모리 반도체 內 트랜지스터의 구조 변경 및 배열 변경 등의 전략으로 대응
 - 하지만, 평면형 DRAM의 경우, 물리적 한계 극복을 위한 셀 트랜지스터의 구조 변경을 지속적으로 진행하였으나, 소재 및 공정의 물리적 한계에 봉착
 - * DRAM은 커패시터의 면적 확보가 필수적이거나, 미세화에 따른 커패시터의 높이 증가로 인한 공정 난이도 및 공정비용 상승으로 반도체 소재 및 구조의 혁신이 요구됨
- DRAM의 지속적인 초고집적화를 위한 구조적 혁신 필요
 - 커패시터의 면적을 확보하고 소자간 배선 간섭 현상을 줄이기 위해 지난 10여년간 지속해온 6F²의 배열 구조를 수직 적층형 구조인 4F² 구조로 변경
 - 글로벌 종합 반도체 기업 3社は 최근 4F²구조 이후 새로운 셀 트랜지스터 구조를 갖는 3차원 DRAM 적층기술에 대한 컨셉을 발표하며 2030년 전후하에 시장화가 가능한 차세대 핵심기술로 전망
- 동일 면적에서 높은 전하 저장 가능하며 적층형 구조로의 활용이 가능한 차세대 커패시터 소재 및 관련 공정 원천 기술 필요
 - 금속 산화물 (ZrO₂, HfO₂, TiO₂ 등) 및 페로브스카이트 구조의 초고유전체가 소개되고 있으나 10 nm 이하의 두께에서 특성 확보가 어려움. 따라서, 수 nm에 불과

한 현 커패시터 구조에서 활용 가능한 신규 소재 필요

- 높은 Aspect Ratio를 가진 커패시터내 균일 박막 필름 형성의 어려움이 존재하며 높은 균일성과 산업적 활용도를 높이기 위한 극박막 형태의 계면 삼입 소재 필요
- 적층형 3D DRAM 공정 적용을 위한 타 반도체 소재와의 호환 가능성 검증 필요
- 적층형 3D DRAM의 시장화에 맞춰 관련 차세대 반도체 소재 및 공정기술을 보유한 고급 인력 필요

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

□ 개발내용

- DRAM내 유전막 형성시 직접적인 성장을 진행하였으나 소재의 격자상수 차이와 열팽창계수 차이로 인해 극박막 형태의 고유전율 유전막 형성에 어려움이 발생
 - * 불균일한 유전물질 형성 및 불안정한 계면으로 인한 누설전류 발생 증가
- 고품위의 대면적 극박막 형성 및 누설전류 제어를 위한 단원자층 계면 삼입 소재 개발 및 공정 기술 개발
- 적층형 DRAM에 적용 가능한 유전율 100 이상의 소재 기술 개발
 - 5 nm 이하의 두께를 갖는 극박막 유전막 소재 대면적 저온 균일 성장 조건 확보
 - 다양한 전극 물질에 따른 Capacitance 거동 분석
 - 다양한 주파수에 따른 커패시터 소자 변조 특성 분석
- 단원자 두께의 Dangling-Free 계면 삼입 소재 기술 개발
 - 핵생성 유도 및 균일 극박막 필름 성장을 위한 계면 삼입 소재 개발
 - 합성 및 적층에 따른 유전막 소재와 이종소재와의 계면 특성 분석
 - 합성 및 적층에 따른 누설전류 증대 억제 및 누설전류 향상 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 내열특성(°C), Step coverage, 누설전류, Dielectric Constant, 두께 (nm), 공정온도(°C), 면적(inch), 전극 소재 개발(중) 등

2. 지원 필요성

□ 지원필요성

- (정책적 측면) 12대 국가전략기술 중 반도체분야의 반도체 소재 중점기술의 중요성이 부각되며, 세대, 차세대 반도체 기술 개발을 위한 국가 단위 경쟁이 이뤄지고 있으며 해외 반도체 종합기업의 기술적 도약에는 국가적 지원이 있었다는 평가됨
- (기술적 측면) 초미세화에 따른 트랜지스터 작동성능 향상을 위한 다양한 채널 소재에 대한 기술 개발은 활발하게 진행되고 있으나 관련된 캐패시터 기술은 여

전히 유전상수 30-50 수준으로 적층형 3D DRAM의 사업화를 위해서는 캐패시터 및 관련 공정 기술에 대한 발전이 함께 이루어져야 함

- (시장적 측면) 글로벌 DRAM 메모리 시장은 2028년까지 약 1511억 달러 규모 (한화 약 200 조원)로 성장할 것으로 전망되며 3D DRAM 대응 초고유전율 극박막 소재 및 공정 기술에 대한 수요가 계속해서 증가하고 있는 상황
- (사회적 측면) 전 세계적으로 탄소중립 실현을 위해 반도체 소자·부품·장비 등 민간에선 관련 기술 개발의 필요성을 크게 느끼고 있으며, 정부에서도 관련 기술의 연구개발비를 적극 투자하고 있는 상황. 세계적인 규제를 극복하여 반도체 초격차를 만들기 위해선 정부·민간의 지속적인 투자를 통해 관련 기술의 전문인력 양성이 절실한 상황

3. 활용분야

활용분야

- 글로벌 DRAM 메모리 시장은 2028년까지 약 1511억 달러 규모 (한화 약 200 조원)로 성장할 것으로 전망.
 - 유전율 100 이상의 초 고유전 상수를 갖는 극박막 유전막 신소재 개발 및 이를 관련 시스템/측정 평가 개발을 통해 소재 및 소자/분석 전문분야에 걸쳐 국가 경쟁력 향상 및 원천기술 선점을 달성할 수 있을 것으로 기대
- Dangling-Free 원자삽입층을 통해 격자상수, 열팽창계수 및 결정구조와 관계없이 극박막 유전소재를 형성할 수 있고, 이러한 특성 덕분에 원하는 향후 소자표면에 전사하여 적층형 고성능 소자로 개발할 수 있음
 - 차세대 고성능 전자소자 제작뿐 아니라 광전소자 및 광소자에서도 핵심 원천기술로의 무한한 가능성을 가지고 있으므로 국가 발전을 위해 특허 및 기술의 선점이 기대됨

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-E03		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형	<input type="checkbox"/> 혁신제품형	분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초		<input type="checkbox"/> 세계최고	<input checked="" type="checkbox"/> 해당없음	
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	유리 인터포저 기반 2.5D 반도체 기판 제작 및 소자 실장 기술 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				

1. 개념 및 개발내용

개념

- 유리 인터포저는 반도체 칩과 패키지 기판 사이에 위치하여 초미세 회로 패턴 구현이 가능한 중계 기판 기술로서, 실리콘 대비 우수한 전기적/열적 특성과 함께, 대면적화 및 원가경쟁력을 확보할 수 있는 차세대 패키징 플랫폼 기술
 - 유리 기판 상 초미세 재배선 기술 개발
 - 대면적 유리 인터포저 및 최소 휨 (Warping, WPG)를 통한 고성능 반도체 칩 실장 기술 개발
 - 반도체 소자 실장부 범프 피치 30 μ m 이하 실장 공정 개발
 - 유리 인터포저 기반 패키지의 접합 성능 최적화 및 신뢰성 향상

※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)

* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력

개발내용

- 유리 기판 인터포저 제작 공정 기술 확보
 - 유리 인터포저 기판 두께 300 μ m에 적합한 TGV (Via 직경 25 μ m) 공정 확보
 - 선폭/선간격 3 μ m/3 μ m 이하, 범프 피치 30 μ m 이하 재배선 기술 개발
 - 초미세 패턴 형성을 위한 증착 및 현상 공정 개발

- 유리 기판과 금속 배선 간 접착력 향상 기술 개발
- 유리 인터포저 기판 표면에 적합한 반도체 소자 실장 공법 최적화
 - 기판 휨발생 억제 (기판 사이즈 120*120mm 기준 휨 량 500 μm 이하)를 위한 접착 소재 및 표면 처리 공정 조건의 확보
 - 열경화 공정 조건 최적화
 - 열-압력-시간 프로파일 최적화를 통한 접합 신뢰성 향상
 - 대면적 기판에서의 균일한 칩 실장 (정밀도 $\pm 2\mu\text{m}$)을 위한 본딩기술개발
 - 고용량 Si Capacitor ($\geq 1\mu\text{F}/\text{mm}^2$ @5V) 실장을 위한 공정 최적화
- 전기적 성능 최적화 및 신뢰성 향상 기술 개발
 - 3D 전자기 시뮬레이션을 통한 RLC 모델링 및 신호 무결성 분석
 - Si Capacitor 실장을 통한 전원 무결성 검증 및 전력망 설계 최적화
 - 유한요소법(FEM) 기반 열해석 모델 구축 및 검증
 - 극한 환경에서의 신뢰성 시험 조건 수립 및 평가 (온습도 사이클, 열충격, 전압 스트레스 등)
 - 기판 WPG 전산모사 해석 및 평가 기술

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
 - 선폭/선간격(μm), 범프 피치(μm), TGV 직경(μm), 인터포저 두께(μm), 기판 휨량(μm), 실장 정밀도(μm), Si Capacitor 용량 밀도($\mu\text{F}/\text{mm}^2$), 전원 무결성(Power Supply Noise, mV), 전력 구성망 임피던스(m Ω) 등

2. 지원 필요성

□ 지원 필요성

- **(정책적 측면)** 미국, 유럽, 대만 등 주요국은 첨단 패키징 기술을 국가 전략산업으로 지정하여 대규모 지원을 추진 중이며, 이에 대응하는 국내 기업의 기술 경쟁력 확보를 위한 정부의 체계적 지원이 시급한 상황임
 - 국내 디스플레이 산업에서 축적된 핵심 역량(대면적 유리 기판 제조, 정밀 패터닝, 박막 증착 등)을 활용한 시너지 창출이 가능하며, 차세대 패키징 시장에서의 글로벌 리더십 확보가 기대됨
- **(기술적 측면)** 유리 인터포저는 우수한 표면 특성(조도 10nm 이하)과 전기적 특성을 기반으로 초미세 패턴 구현에 탁월한 이점을 제공하나, 신규 공정 기술 개발을 통한 신뢰성 확보가 요구됨
 - 실리콘 인터포저 대비 대면적화 용이성, 획기적 원가절감(1/10 수준), 우수한 전기적/열적 특성 등 차세대 패키징 플랫폼으로서의 핵심 경쟁력 보유
- **(시장적 측면)** 2030년 첨단 패키징 시장 규모는 580억 달러로 예상되며, 특히 유리 인터포저 분야는 연평균 25% 이상의 고성장세가 전망됨
 - 글로벌 선도기업들의 적극적인 투자(인텔 70억 달러, 코닝 10억 달러) 추진 중
 - 패키징 기술의 전략적 중요성이 부각됨에 따라, 국내 소부장 기업들을 중심으로 한 자생적 기술 생태계 구축이 시급히 요구됨

- **(사회적 측면)** 반도체 소자·부품·장비 등 민간에선 관련 기술 개발의 필요성을 크게 느끼고 있으며, 정부에서도 관련 기술의 연구개발비를 적극 투자하고 있는 상황. 세계적인 규제를 극복하여 반도체 초격차를 만들기 위해선 정부·민간의 지속적인 투자를 통해 관련 기술의 전문인력 양성이 절실한 상황

3. 활용분야

□ 활용분야

- **첨단 패키징 산업**
 - 차세대 컴퓨팅: 고성능 컴퓨팅(HPC), AI 가속기, 서버용 고성능 프로세서
 - 모바일/통신: 5G/6G 통신, 고성능 AP, 저전력 시스템반도체
 - 산업/자동차: 자율주행, 산업용 로봇, 스마트팩토리용 제어 시스템
- **소재·부품·장비 산업**
 - 핵심 소재: 고기능성 유리 기판, 미세 패턴용 표면처리, 도금/증착, 고신뢰성 접합 소재
 - 핵심 부품: 초미세 재배선, 내장형 수동소자, 고성능 방열 부품
 - 핵심 장비: 고정밀 검사/분석, 미세 패턴 형성, 첨단 실장 장비

4. 지원기간/예산/추진체계

- **연구개발기간** : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- **주관연구개발기관** : 비영리기관
- **기술료 징수여부** : 비징수

품목번호	2025-KCHIPS-품목-일반-E04		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> E	<input type="checkbox"/> S
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	Non-noble metal 소재 기반 페로브스카이트 전극/유전체 어셈블리 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> ○ 차세대 DRAM 커패시터용 non-precious metal 기반 페로브스카이트 구조 전극/유전체 어셈블리 개발 <ul style="list-style-type: none"> - ALD 공정으로 페로브스카이트 구조 고유전막/전극막 개발 					
<p>※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)</p> <p>* 자격검증 : 반도체 산업계 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> ○ 차세대 DRAM 커패시터용 ALD 공정 기반 페로브스카이트 전극/고유전 박막 개발 <ul style="list-style-type: none"> - ALD 공정 기반 페로브스카이트 고유전 박막 개발 (Ru, Pt 등 귀금속 제외) - ALD 공정 기반 페로브스카이트 전극 박막 개발 (Ru, Pt 등 귀금속 제외) - 전극/유전막 계면 저유전 특성 제거 (dead layer 최소화) - 어셈블리 및 박막의 낮은 누설전류 특성 확보 					
<p>연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수</p> <p>- 공정온도(°C), 누설전류(A/cm2), 유전율, 전극과 유전막 두께 등</p>					

2. 지원 필요성
<input type="checkbox"/> 지원필요성
<ul style="list-style-type: none"> ○ (정책적 측면) 페로브스카이트 기반 전극/유전체 소재의 국산화를 통한 기술 종속국 극복 <ul style="list-style-type: none"> - 메모리 반도체 초격차 유지를 위한 글로벌 기술 주도권 강화 - 친환경 반도체 기술 개발을 통한 지속가능한 기술 확보 - K-반도체 벨트 구축을 위한 소부장 기술 일체화 ○ (기술적 측면) 인공지능 연산을 위해 대량의 데이터 처리를 위한 고속 메모리 필요 <ul style="list-style-type: none"> - DRAM을 적응한 형태인 HBM 수요 급증, 이에 대한 기술 개발 지속적으로 필요 - HZO 후속 기술 개발 전무한 상태로 고사양의 소재기술 필요성 대두 - 메모리 반도체 강국 유지 및 기술 선도를 위해 DRAM 제조 기술 개발 필요 ○ (시장적 측면) 차세대 메모리기술 선점을 위한 핵심기술 확보 시급 <ul style="list-style-type: none"> - 소재기술 혁신을 통한 원가 경쟁력 확보 및 생산성 개선 - 신규 응용 시장 창출 가능성 제고 ○ (사회적 측면) 반도체 산업 생태계 강화 및 전문인력 양성 <ul style="list-style-type: none"> - 친환경 반도체 기술 확산 대응
3. 활용분야
<input type="checkbox"/> 활용분야
<ul style="list-style-type: none"> ○ DRAM 소자에만 국한되지 않고, 다양한 전자소자 및 시스템에 활용 가능 <ul style="list-style-type: none"> - 차세대 메모리 반도체 고성능 서버, 모바일 DRAM, 차세대 AI 소자, 고성능 컴퓨팅 시스템에 활용 가능
4. 지원기간/예산/추진체계
<ul style="list-style-type: none"> ○ 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월) ○ 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내) ○ 주관연구개발기관 : 비영리기관 ○ 기술료 징수여부 : 비징수

품목번호	2025-KCHIPS-품목-일반-E05		산업기술	중분류 I	중분류 II
개발형태	<input checked="" type="checkbox"/> 원천기술형 <input type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원소통형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립		ESG	<input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G	<input checked="" type="checkbox"/> 해당없음
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	유기-무기 하이브리드 다층분자막을 이용하여 High-NA용 positive-tone EUV 무기 건식 PR 소재 및 공정 개발 (TRL : [시작] 3단계 ~ [종료] 5단계)				
1. 개념 및 개발내용					
<input type="checkbox"/> 개념					
<ul style="list-style-type: none"> 유기-무기 하이브리드 다층분자막을 이용하여 High-NA용 positive-tone EUV 무기 건식 레지스트 소재 및 공정 개발 <ul style="list-style-type: none"> 다층분자막 EUV 무기 건식 PR의 소재 설계 및 진공증착 공정 개발 다층분자막 EUV 무기 건식 PR의 진공현상 공정 개발 선택적 원자층증착법(Area-Selective Atomic Layer Deposition, ASD)을 이용한 positive-tone 패턴 제조 및 특성 평가 다층분자막 EUV 건식 PR의 대면적 진공증착/현상 및 ASD 공정 개발 					
<p>※ 핵심 목표 : 석사 16명이상, 박사 8명이상 자격검증 인력양성 (고급인력양성)</p> <p>* 자격검증 : 반도체 산업에 수요를 반영한 도전적 탐색형 연구개발 과제를 수행하면서, 투자기업 엔지니어의 멘토링을 받고 일정 자격검증 기준을 통과한 반도체고급인력</p>					
<input type="checkbox"/> 개발내용					
<ul style="list-style-type: none"> 다층분자막 EUV 무기 건식 PR의 소재 설계 및 진공증착 공정 개발 <ul style="list-style-type: none"> 해상도와 선단거칠기가 우수한 수직분자선 구조 유기-무기 하이브리드 다층분자막 EUV PR의 분자설계 분자층증착법(Molecular Layer Deposition, MLD)을 이용하여 단분자층 수준에서 조절하며 수직분자선 구조 하이브리드 다층분자막 EUV PR의 진공증착 공정 개발 					

- 다층분자막 EUV 무기 건식 PR의 진공현상 공정 개발
 - 유기-무기 하이브리드 다층분자막 EUV 건식 PR의 진공현상에 적합한 전구체 설계
 - EUV 무기 건식 PR의 고균일도/고선택비 진공현상 공정 개발
 - ASD를 이용한 positive-tone 패턴 제조 및 특성 평가
 - ASD를 위한 전구체 설계
 - 다층분자막을 기반으로 ASD 공정 개발
 - 다층분자막 EUV PR 패턴에 해상도와 선단거칠기가 우수한 positive-tone 초미세 패턴 제조
 - 다층분자막 EUV 무기 건식 PR의 대면적 공정 개발
 - 다층분자막 EUV PR 소재의 대면적 진공증착/현상 및 ASD 공정 개발
 - 해상도와 선단거칠기가 우수한 positive-tone 초미세 패턴의 대면적 제조 기술 개발
- 연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수**

 - 해상도(nm), 선단거칠기(nm), 광감도(mJ/cm²), 표면거칠기(nm) 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 반도체 초격차 전략의 핵심요소로 기술 자립화에 필요
 - 글로벌 공급망 재편에 대응하는 기술 자주권 확보
 - 미래 반도체 소재 산업 경쟁력 확보 및 경쟁력 강화
- **(기술적 측면)** High-NA EUV 리소그래피 기술을 이용한 초미세 패턴 (< 8nm) 제조하기 위해서는 무기 건식 PR 소재가 필수적임
 - 현재 고해상도 EUV 패턴링에 이용되고 있는 고분자 기반의 화학증폭형 레지스트 (Chemically Amplified Resist, CAR)는 낮은 식각저항성 및 산의 확산에 의한 해상도/선단거칠기 저하 문제를 가지고 있음
 - 산촉매(Photo Acid Generator, PAG)를 사용하지 않는 Non-CAR 무기 PR에 대한 관심이 집중되고 있으나, 무기 PR은 모두 negative-tone 특성을 가짐
- **(시장적 측면)** 글로벌 시장 선점 및 수익성 향상 구조 구축
 - 고부가가치 소재 시장 진입 기회 확보
 - 지속적인 수요 증가에 따른 안정적 성장성 기대
- **(사회적 측면)** 고급 일자리 창출 및 산학연 네트워크 강화
 - 소재 전문기업 및 연구자 육성
 - 첨단 반도체 생산 기반 강화 및 인프라 구축 지원

3. 활용분야

활용분야

- 2028년 이후 반도체 제조 공정에 본격적으로 도입되는 High-NA 노광기는 차세대 EUV 리소그래피의 핵심 요소로 평가되고 있으며, 1.5 nm 노드 이후 8 nm

선폭 이하의 초미세 패턴 제조를 구현하기 위한 필수기술임

- 진공증착과 진공현상을 모두 적용할 수 있어 positive 및 negative-tone 특성을 자유자재로 구현할 수 있어 차세대 메모리 및 로직 공정 모두 활용 가능

4. 지원기간/예산/추진체계

- 연구개발기간 : 57개월 이내(1차년도 개발기간 : 9개월, 2~5차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 2억원 이내(총 정부지원연구개발비 8억원 이내)
- 주관연구개발기관 : 비영리기관
- 기술료 징수여부 : 비징수

9

PIM인공지능반도체핵심기술개발

품목번호	2025-PIM-품목-일반-01		산업기술 분류	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		반도체장비		
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립	ESG	<input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G	<input checked="" type="checkbox"/> 해당없음	
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	원자수준 증착 가능한 MRAM용 PVD 장비 개발				
	(TRL : [시작] 4단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- PIM용 MRAM(Magnetic Random Access Memory)을 구현하기 위해서, 자성물질과 터널링 배리어 소재를 초고진공 환경에서 원자 수준으로 균일하게 증착할 수 있는 DC 및 RF 지능형 PVD 장비 구현이 필요
 - MRAM 소자의 핵심층은 20nm 이하의 얇은 박막의 조합으로 구성되므로, 원자수준 증착 속도 제어와 박막 균일도 확보를 위한 지능형 PVD 장비 개발
 - 챔버 내부의 플라즈마 밀도 및 영역을 제어할 수 있는 고성능 Magnet 설계 기술
 - MRAM 소자 구현을 위한 원자수준 초고진공 DC 및 RF 스퍼터링 장비 기술
 - 초고진공 DC 및 RF 스퍼터링 챔버, 마그네트론 플라즈마 소스, 플라즈마 모니터링이 가능한 ESC 등을 포함한 MRAM용 통합 PVD 장비
 - MRAM용 MTJ(Magnetic Tunnel Junction) full structure 증착 및 소자 특성(터널 저항비 및 균일도 등) 분석 기술

※ 핵심 목표 : 자성물질 및 터널링 배리어 물질 증착을 위한 박막균일도(3%이하)를 달성할 수 있는 MRAM용 PVD 장비 개발 (세계 최고수준)

개발내용

- 300mm MRAM용 원자수준 초고진공 DC 및 RF 스퍼터링 장비 개발
 - 자성물질, 금속 증착용 DC 스퍼터링 장비 개발

- 터널링 배리어 물질 증착이 가능한 초고진공 RF 스퍼터링 장비 개발
- 스퍼터 장비용 마그네트론 플라즈마 소스 개발
 - 챔버 내 고밀도 Plasma 및 영역 확장을 위한 N-S 자속 밀도 비율 200% 이상의 비평형 마그네트론 플라즈마 소스 개발
- 플라즈마 실시간 모니터링이 가능한 ESC 시스템 개발
 - PVD용 플라즈마 센서 내재화 ESC 개발
 - 플라즈마 밀도 및 균일도 실시간 측정 기술 및 플라즈마 공정 조건별 데이터베이스 구축
- PVD용 공정장비 지능화 기술개발
 - Edge Computing을 활용한 지능화 플랫폼 개발
 - 장비/공정/소자성능 데이터를 활용한 AI 솔루션 개발
 - 원자수준 증착용 PVD 박막 두께 정밀제어 기술 개발
- MRAM 소재 조성 최적화 및 결정성 제어공정 개발
 - 자기저항성 확보를 위한 자화 열처리(200도 이상) 공정 개발
 - 결정립 크기, 조성 및 계면 조도 저감을 위한 원자수준 박막 제어 및 분석 기술
- 300mm PVD 공정 장비의 MTJ 자기 터널 저항비(TMR) 및 균일도(Uniformity) 구현 검증
 - MRAM용 PVD 공정 장비의 MTJ Full structure 증착 구현
 - MRAM용 PVD 증착 MTJ TMR 100% 이상 구현 공정 기술 개발

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수

- 박막균일도(%), 기저압력(Base vacuum)@상온(Torr), AI 솔루션 수량(ea), 자기저항비(TMR) (%), 플라즈마 소스 N-S 자속 밀도 비율(unbalanced ratio)@1000 Gauss 등

2. 지원 필요성

지원 필요성

- **(정책적 측면)** 국내 박막증착장비 산업은 CVD·ALD 분야 중심으로 국산화가 활발히 이뤄졌으나, 반도체용 스퍼터(PVD) 장비는 여전히 대부분 해외 수입에 의존하고 있어 국산화가 시급함. 반도체 장비 산업 전반의 경쟁력 확보를 위해 국가 차원의 정책적 지원이 필요함.
- **(기술적 측면)** 차세대 비휘발성 메모리(MRAM)에서 고품질 금속/비금속 박막 증착이 필수적으로 요구됨에 따라, 초정밀 두께 제어가 가능한 스퍼터링 기술이 요구됨.
 - MRAM용 PVD 장비의 핵심 기술은 전량 해외 장비에 의존하는 상황이며, 국내는 5년 이상의 기술 격차가 존재함.
 - 국내 기술은 5년 이상의 격차가 있고 MRAM용 PVD 양산 장비는 전량 해외 업체에 의존하고 있는 실정임.
 - 글로벌파운드리스, Everspin Technologies등 주요 MRAM 소자업체들은 STT-MRAM을 중심으로 상용화와 대규모 생산을 추진하고 있으며, 국내 기업들도 eMRAM(embedded MRAM)·STT-MRAM(Spin Transfer Torque MRAM)을

차세대 메모리로 추진 중이나, 이를 뒷받침할 국산 PVD 장비가 없어 글로벌 파운드리 등 해외 장비 기업 의존도가 매우 높음.

- **(시장적 측면)** 현재 300mm 웨이퍼 공정용 PVD 장비는 사실상 국산화가 전무하고, 일부 200mm 장비만 국내 양산화가 이루어졌음. 국내 업체 중 300mm PVD 장비를 개발 중인 기업은 극히 소수이며, 그나마도 후공정용으로 제한되는 실정임.
 - 글로벌 주요 장비사(Applied Materials, Tokyo Electron, Canon Anelva 등)는 이미 나노 스케일 자성층·절연층 정밀 증착 기술을 보유하고, 에너지 절감·환경 보호 관점에서 기술 고도화를 진행하고 있음.
- **(사회적 측면)** 디지털 전환 가속화, 에너지 효율성 향상, 신뢰성 높은 데이터 보호, 일자리 창출, 환경 보호 등이 국가적인 과제로 대두됨. MRAM과 같은 차세대 메모리 기술은 저전력·고성능 특성을 통해 다양한 분야(인공지능, 사물인터넷, 클라우드 등)에서 활용도가 높아질 전망이다. 국산 PVD 장비 개발을 통해 반도체 장비 생태계를 강화하면, 국가 기술 주권 확보와 경제성장, 사회 인프라 강화에 긍정적인 효과를 기대할 수 있음.

3. 활용분야

활용분야

- MRAM 제조용 초고진공 PVD 공정장비
- 반도체 소자 제조용 금속, 절연체 증착 장비
- 반도체 PVD용 정전척(ESC)
- 원자수준 제어 가능한 PVD용 박막 증착장비

4. 지원기간/예산/추진체계

- **연구개발기간** : 45개월 이내(1차년도 개발기간 : 9개월, 2~4차년도 : 각 12개월)
- **정부지원연구개발비** : '25년 13억원 이내(총 정부지원연구개발비 64억원 이내)
- **주관연구개발기관** : 중소·중견 기업
- **기술료 징수여부** : 징수

품목번호	2025-PIM-품목-일반-02		산업기술	중분류 I	중분류 II
개발형태	<input type="checkbox"/> 원천기술형 <input checked="" type="checkbox"/> 혁신제품형		분류	반도체소자 및 시스템	
혁신도전형	<input type="checkbox"/> 세계최초 <input type="checkbox"/> 세계최고 <input checked="" type="checkbox"/> 해당없음				
초격차프로젝트 (해당없음)	분야				
	미션				
	프로젝트				
연계유형	<input type="checkbox"/> BI 연계 <input type="checkbox"/> IP R&D연계 <input type="checkbox"/> 디자인연계 <input type="checkbox"/> 표준연계 <input checked="" type="checkbox"/> 해당없음				
특성분류	<input type="checkbox"/> 경쟁형과제 <input type="checkbox"/> 복수형과제 <input type="checkbox"/> 국가핵심기술 <input type="checkbox"/> 국제공동				
	<input type="checkbox"/> 대형통합형 <input type="checkbox"/> 민간투자연계형 <input type="checkbox"/> 서비스형 <input type="checkbox"/> 안전관리형				
	<input type="checkbox"/> 원스톱형 <input type="checkbox"/> 유연 컨소시엄 <input type="checkbox"/> 챌린지 트랙 <input type="checkbox"/> 초고난도 과제				
	<input type="checkbox"/> 탄소중립 <input type="checkbox"/> ESG <input type="checkbox"/> E <input type="checkbox"/> S <input type="checkbox"/> G <input checked="" type="checkbox"/> 해당없음				
R&D 자율성트랙	<input checked="" type="checkbox"/> R&D 자율성트랙(일반) <input type="checkbox"/> R&D 자율성트랙(지정)				
품목명	PIM기반 고성능 메모리 소자의 방열구조 설계 및 방열소재 개발 (TRL : [시작] 4단계 ~ [종료] 7단계)				

1. 개념 및 개발내용

개념

- AI 및 서버 등에 사용되는 고성능 메모리의 경우 지속적으로 대량의 데이터 전송을 전송해야 하므로 높은 대역폭과 전력이 요구됨.
- 메모리, 프로세서 등 반도체 소자에서 발생한 열은 수명감소 및 오작동을 유발할 수 있으므로 일정 온도 이상 올라가지 않도록 시스템을 이용하여 성능제한을 하고 있음.
- 따라서 효과적인 열관리만으로도 반도체 소자의 평균 성능을 향상시킬 수 있으므로 효과적인 열관리 방법이 지속적으로 요구되고 있음.
- 특히, PIM(Processing in memory)의 경우 상대적으로 높은 열을 발생시키는 프로세서 소자가 있으므로 열에 취약한 메모리 소자의 성능을 유지하는데 어려움이 있음.
- 본 과제에서는 PIM 및 HBM과 같은 고성능 메모리의 효과적인 열관리를 위한 방열구조를 제안하고, 해당 방열구조에 적합한 소재를 개발

※ 핵심 목표 : 열전도도 25W/mK 이상의 방열소재 적용 (세계 최고수준)

개발내용

- 방열 효율 극대화를 위한 Trench 형상 최적화 설계
 - Trench 깊이, 폭, 개수, Die와 Trench 거리 등 Trench 위치 및 형상 최적화를 위한 설계
- 열전도도 25W/mK 이상의 Trench Filling 소재 개발
 - 고방열 filling 소재, 고방열 필러 개발 및 종류 및 함량 최적화
 - Trench filling 유변특성과 Trench filling 최적화에 적합한 소재 확보

- 내부 Void 5% 이하 Trench Filling이 가능한 공정 개발 및 공정조건 확보
- 내부 crack 제어, 신뢰성 확보 가능한 공정조건, high aspect ratio 공정조건 확보

연구개발계획서 제출시 다음의 항목의 정량적 목표치 및 상용화 수준 제시 필수
- 열전도도(W/mK), 내열특성(°C), 열 안정성(KS M ISO 11358) (%), 등

2. 지원 필요성

지원필요성

- **(정책적 측면)** 최근 첨단 반도체 패키징 분야에서의 경쟁 격화와 AI 반도체, HBM 개발 사례에서와 같이 PIM 패키징 기술 선점에 의한 시장 선도가 매우 중요한 국가적 과제이며 지속적인 연구개발 환경 제공과 상용화에 대한 정부 지원이 반드시 요구됨.
- 고성능 메모리 분야는 AI 반도체와 연계되어 AI, 빅데이터, 클라우드 컴퓨팅 등 미래 국가 경쟁력 확보와 성장동력의 기반이 되는 요소기술로, 2024.04월 정부는 AI-반도체 이니셔티브 전략을 발표하여 종합적인 지원정책을 수립함
- **(기술적 측면)** PIM 구조에서는 매우 빠른 응답성과 전산 처리 속도가 중요한 만큼 발열에 대한 해결방안도 함께 제안되어야 하나, I/O 수의 증가속도에 대비하여 방열 구조와 소재는 그에 미치지 못하여 한계 온도가 지속적으로 증가 추세에 있어, thermal pass 기능의 방열 구조와 신뢰성이 확보된 고방열 filling 소재의 개발이 시급함.
- 본 과제에서 제안하는 thermal pass 가능한 방열 구조 및 고열전도 filling 소재 개발은 HBM과 PIM 소자의 열 관리 문제를 해결하여, 장기적인 성능 유지와 에너지 효율을 극대화하기 위한 필수적인 기술로 작용함. 또한, 개발을 통해 확보된 기술은 메모리 소자의 발열관리를 통해 성능유지 및 구동 신뢰성 확보가 가능하며, 향후 고성능 메모리와 AI 반도체 기술 발전에 중요한 기여를 할 것으로 기대됨
- **(시장적 측면)** PIM을 포함한 세계 메모리 소자 시장규모는 2022년 1536.1억 달러였으며, 2023년 1667.9억 달러에서 연평균 8.58%로 성장하여 2032년 3500억 달러로 성장할 것으로 전망됨. (출처: Market Research Future, 2024.11)
- 방열 filling재를 포함한 세계 방열 고분자 소재 시장규모는 2022년 1억 3930만 달러였으며, 2023년 1억 5490만 달러 이후 연평균 12.8%로 성장하여, 2030년에는 3억 5960만 달러에 달할 것으로 전망됨. (출처: Fortune Business Insights, 2024.10)
- **(사회적 측면)** 현재 사회 변화의 키워드인 생성형 인공지능은 초고속 데이터 통신, 자율주행차, 가전, 제조업, 의료, 교육, 국방 분야 등 사회 전반 영역으로 확장되고 있으며, 향후 변화를 더욱 가속화 할 것이므로, 인공지능의 핵심 요소인 PIM 및 그 열관리 기술의 확보는 매우 중요한 이슈임
- 또한, 고성능 메모리와 AI 반도체의 효율적이고 안정적인 운영을 통해 지속 가능한 기술을 확보하고, 친환경적인 기술 발전을 도모함으로써, 디지털 사회에서의 핵심 산업으로 자리 잡는 AI용 고성능 반도체 분야에서의 주도권을 강화하는 데 기여 할 수 있음

3. 활용분야

□ 활용분야

- PIM은 에지 컴퓨팅의 핵심인 In-Memory Computing 분야 핵심기술로 미래 사회 전반의 다양한 산업 분야에 활용될 것임.
- PIM 방열 패키징을 위해 개발되는 방열구조 및 소재는 이종집적 및 Chiplet 기반 첨단 반도체 패키징 분야, 자율주행 자동차용 반도체 분야 등에도 동시에 사용될 수 있어, 그 경제, 사회적 파급 효과는 매우 크다고 예상됨.
- PIM의 미래 활용 분야인 In-memory computing 시장 규모는 2023년 180.4억 달러로, 2024년 이후 연평균 16.53%로 성장, 2034년에는 970.6억 달러에 달할 것으로 전망되고 있어, PIM 방열 패키징 기술의 확보는 관련 산업의 세계 시장 확보에 매우 중요함. (출처: Precedence Research, 2024.08)

4. 지원기간/예산/추진체계

- 연구개발기간 : 33개월 이내(1차년도 개발기간 : 9개월, 2~3차년도 : 각 12개월)
- 정부지원연구개발비 : '25년 7억원 이내(총 정부지원연구개발비 25억원 이내)
- 주관연구개발기관 : 중소·중견 기업
- 기술료 징수여부 : 징수